

Universidade de Brasília - UnB
Faculdade UnB Gama - FGA
Engenharia Eletrônica

FRONT-END DE RECEPÇÃO PARA COMUNICAÇÃO TTE

Autor: Wallysson Bruno Araújo Monteiro
Orientador: Dr. Leonardo Aguayo

Brasília, DF
2015



Wallysson Bruno Araújo Monteiro

FRONT-END DE RECEPÇÃO PARA COMUNICAÇÃO TTE

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica.

Universidade de Brasília - UnB

Faculdade UnB Gama - FGA

Orientador: Dr. Leonardo Aguayo

Brasília, DF

2015

Wallysson Bruno Araújo Monteiro
FRONT-END DE RECEPÇÃO PARA COMUNICAÇÃO TTE/ Wallysson
Bruno Araújo Monteiro. – Brasília, DF, 2015-
87 p. : il. (algumas color.) ; 30 cm.

Orientador: Dr. Leonardo Aguayo

Trabalho de Conclusão de Curso – Universidade de Brasília - UnB
Faculdade UnB Gama - FGA , 2015.

1. COMUNICAÇÃO. 2. RECEPTOR. I. Dr. Leonardo Aguayo. II. Universidade de Brasília. III. Faculdade UnB Gama. IV. FRONT-END DE RECEPÇÃO PARA COMUNICAÇÃO TTE

CDU 02:141:005.6


Wallysson Bruno Araújo Monteiro

09/0135491

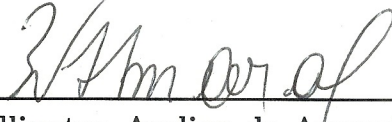
FRONT-END DE RECEPÇÃO PARA COMUNICAÇÃO TTE

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica.

Trabalho aprovado. Brasília, DF, 04 de dezembro de 2015:



Dr. Leonardo Aguayo
Orientador



Dr. Wellington Avelino do Amaral
Convidado 1



Dr. Renato Vilela Lopes
Convidado 2

Brasília, DF
2015

Este trabalho é dedicado à todas as pessoas que acreditaram na realização deste sonho.

Agradecimentos

Primeiramente gostaria de agradecer a minha família, que sempre me apoiou e deu toda a base necessária para que eu conseguisse concluir o curso. Desta forma, gostaria de agradecer aos meus pais Osenil Monteiro e Yêdda Correia; minhas irmãs Danyella e Bárbara; meus avôs Ozires e Joaquim; minhas avós Cleusa e Evanilde; minhas tias Kedma, Élida, Caci e Alexandra; meus tios Odenil e Márcio; meus primos Felipe, Letícia, Gabriel, Victor, Vinícius e todos os demais familiares. Também gostaria de agradecer em especial a minha namorada Ada dos Santos Bento que me ajudou com a realização deste trabalho, além de ser a minha companheira pra toda a vida.

Agradeço ao Prof. Dr. Leonardo Aguayo pela oportunidade de desenvolver este trabalho, pela dedicada orientação e compartilhamento de conhecimento. Agradeço também a todos os professores que contribuíram com o conhecimento passado ao longo desses anos em especial ao Prof. Dr. Adson Ferreira da Rocha, Prof. Dr. Wellington Avelino do Amaral e Prof. Dr. Renato Vilela Lopes, estes dois últimos componentes da banca avaliadora. Todos esses, entre outros, se tornaram modelos de pessoas e profissionais os quais tentarei seguir na minha jornada como engenheiro.

E por fim, e não menos importante, gostaria de agradecer aos meus amigos, àquelas pessoas que, sem elas, esta jornada seria praticamente impossível. Portanto, gostaria de agradecer aos amigos de longa data, José Felipe, Felipe Pereira, Guilherme Cassemiro, Luis Gustavo, Luciano de Paula, Marcus Vinicius, Lucas Borges, Luiz Eduardo, Wallesson Aragão, Wellington Júnio, Felipe de Paula, Caio Rodrigo, André Dantas, Raylline Ferreira e a todos os outros que contribuem com o meu sucesso.

Resumo

A mineração é uma atividade praticada há algum tempo e que contribui economicamente até os dias atuais. O sistema de extração de minérios, contudo, apresenta muitos problemas, dentre eles a comunicação entre o interior da mina e o meio externo. A comunicação empregada na mineração atualmente depende de uma estrutura vulnerável a acidentes e com alto custo para o alcance em toda extensão da mina. Sendo assim o trabalho tem como objetivo criar um dispositivo de comunicação de fácil manuseio e ao mesmo tempo um sistema robusto a acidentes. Desta forma este trabalho visa a criação de um protótipo de um *Front End* de recepção TTE (*Through-the-Earth*), circuito que irá recepcionar o sinal emitido e condicioná-lo para o processamento digital.

Palavras-chaves: TTE (*Through-the-Earth*). Lavra subterrânea. Amplificador de baixo ruído (LNA). *Front End* de recepção. Conversor A/D.

Abstract

Mining is an activity practiced for some time and contributes economically until nowadays. The extraction system, however, presents many problems, including communication between the interior of the mine and the external environment. Communication employed in mining currently depends on a structure vulnerable to accidents and costly to achieve the full extent of the mine. Thus this work aims to create an easily managed communication device and at the same time a robust system to accidents. In this way this work aims to create a prototype of a Front End reception TTE (through-the-earth) circuit that will welcome the emitted signal and condition it for digital processing.

Key-words: TTE. Underground mining. Low Noise Amplifier (LNA). Front End Reception. A/D converter.

Lista de ilustrações

Figura 1 – Cabo Leaky Feeder (FOROOSHANI et al., 2013)	28
Figura 2 – Sistema <i>Leaky Feeder</i>	28
Figura 3 – <i>Tracking system</i> empregado em minas subterrâneas (FOROOSHANI et al., 2013).	30
Figura 4 – Modelo de transmissão e recepção sem fio (FOROOSHANI et al., 2013).	31
Figura 5 – Processo de comunicação pelo modelo TTE(FOROOSHANI et al., 2013)	32
Figura 6 – Modelo de Receptor	33
Figura 7 – Possíveis constituições de Amplificadores(SOARES, 2010)	35
Figura 8 – Diagrama geral de conversor A/D (TOCCI; WIDMER; MOSS, 2003)	37
Figura 9 – Conversor A/D de rampa digital (TOCCI; WIDMER; MOSS, 2003)	38
Figura 10 – Conversor A/D de aproximações sucessivas; (a) diagrama de blocos simplificado; (b) fluxograma de operação (TOCCI; WIDMER; MOSS, 2003).	39
Figura 11 – Amplificador Diferencial (ALEXANDER; SADIKU, 2003).	42
Figura 12 – Amplificador Diferencial com valores projetados.	43
Figura 13 – Amplificador Inversor (ALEXANDER; SADIKU, 2003).	44
Figura 14 – Amplificador Inversor com valores projetados; (a) Segundo Estágio de Amplificação; (b) Terceiro Estágio de Amplificação.	45
Figura 15 – Esquemático do sistema completo.	45
Figura 16 – Amplificador Diferencial com todas as fontes de ruído (MOTCHENBACHER; CONNELLY, 1993).	47
Figura 17 – Amplificador Inversor com todas as fontes de ruído (MOTCHENBACHER; CONNELLY, 1993).	49
Figura 18 – Esquemático do Amplificador de Baixo Ruído(LNA) com três estágios.	57
Figura 19 – Amplificador de baixo ruído; (a) Antena; (b) Primeiro Estágio de Amplificação; (c) Segundo Estágio de Amplificação; (d) Terceiro Estágio de Amplificação.	58
Figura 20 – Diagrama de Bode do primeiro estágio de amplificação em magnitude.	59
Figura 21 – Diagrama de Bode do primeiro estágio de amplificação em fase.	60
Figura 22 – Diagrama de Bode do segundo estágio de amplificação em magnitude.	60
Figura 23 – Diagrama de Bode do segundo estágio de amplificação em fase.	61
Figura 24 – Diagrama de Bode do terceiro estágio de amplificação em magnitude.	61
Figura 25 – Diagrama de Bode terceiro estágio de amplificação em fase.	62
Figura 26 – Sinal senoidal recebido pelo sistema.	63
Figura 27 – Sinal senoidal amplificado pelo LNA.	63
Figura 28 – Sinal de campo recebido pelo sistema.	64

Figura 29 – Sinal de campo amplificado pelo LNA.	64
Figura 30 – Ruído proveniente do circuito.	65
Figura 31 – Componentes mais ruidosos do sistema; (a) Resistor R_2 ; (b) Resistor R_3	66
Figura 32 – Figura de Ruído do sistema projetado.	67
Figura 33 – Esquemático do Amplificador de Baixo Ruído(LNA) com dois estágios.	68
Figura 34 – Esquemático do Primeiro Estágio de Amplificação.	70
Figura 35 – Diagrama de Bode em magnitude.	71
Figura 36 – Diagrama de Bode em magnitude (figura ampliada).	71
Figura 37 – Diagrama de Bode em fase.	72
Figura 38 – Ruído proveniente do circuito.	73
Figura 39 – Ruído do Resistor R_2	74
Figura 40 – Ruído do Resistor R_3	75
Figura 41 – Diagrama de Bode em magnitude.	77
Figura 42 – Diagrama de Bode em fase.	77
Figura 43 – Diagrama de Bode em magnitude.	78
Figura 44 – Diagrama de Bode em fase.	78
Figura 45 – Figura de Ruído com $R= 50\Omega$	79
Figura 46 – Circuito de recepção ajustado.	79
Figura 47 – Ruído do sistema.	80
Figura 48 – Sistema Completo.	81

Lista de abreviaturas e siglas

TTW	<i>Through the Wire</i>
TTA	<i>Through the Air</i>
TTE	<i>Through the Earth</i>
PED	<i>Personal-Emergency-Device</i>
VLF	<i>Very Low Frequency</i>
ULF	<i>Ultra Low Frequency</i>
ELF	<i>Extreme Low Frequency</i>
LNA	<i>Low Noise Amplifier</i>
SNR	<i>Signal-to-Noise Ratio</i>
RFID	<i>Radio-Frequency Identification</i>
WLAN	<i>Wireless Local Area Network</i>
Conversor A/D	<i>Conversor Analógico-Digital</i>
Conversor D/A	<i>Conversor Digital-Analógico</i>
VLSI	<i>Very Large Scale Integration</i>
NF	<i>Noise Figure</i>

Lista de símbolos

$SNR_{entrada}$	Relação sinal-ruído de Entrada
$SNR_{saída}$	Relação sinal-ruído de Saída
E_{ni}	Fonte de Ruído de Entrada
E_{no}	Fonte de Ruído de Saída
E_n	Fonte de Ruído de Tensão dos terminais do amplificador operacional
E_{n1}	Fonte de Ruído de Tensão do terminal negativo do amplificador operacional
E_{n2}	Fonte de Ruído de Tensão dos terminal positivo do amplificador operacional
E_{tp}	Fonte de Ruído da resistência R_{tp}
E_{t1}	Fonte de Ruído da resistência R_{t1}
E_{t2}	Fonte de Ruído da resistência R_{t2}
I_n	Fonte de Ruído de Corrente dos terminais do amplificador operacional
I_{n1}	Fonte de Ruído de Corrente do terminal negativo do amplificador operacional
I_{n2}	Fonte de Ruído de Corrente do terminal positivo do amplificador operacional
R_o	Resistência de Saída
V_{tp}	Tensão consumida pelo resistor R_{tp}
V_{t1}	Tensão consumida pelo resistor R_{t1}

Sumário

1	INTRODUÇÃO	21
1.1	Contextualização	21
1.2	Objetivos	24
1.2.1	Objetivo Geral	24
1.2.2	Objetivos Específicos	24
1.2.3	Estrutura do Trabalho	24
2	FUNDAMENTAÇÃO TEÓRICA	27
2.1	Comunicação na Mineração	27
2.1.1	Through-the-Wire (TTW)	27
2.1.2	Through-the-Air (TTA)	29
2.1.3	Through-the-Earth (TTE)	30
2.2	Front-End de Recepção	32
2.2.1	LNA	33
2.3	Conversor Analógico-Digital	36
2.3.1	Conversor A/D de Rampa Digital	37
2.3.2	Conversor A/D de Aproximações Sucessivas	38
2.3.3	Conversor A/D de Flash	39
2.3.4	Modulação Sigma/Delta	40
3	MÉTODOS	41
3.1	Projeto LNA	41
3.1.1	Primeiro Estágio de Amplificação	41
3.1.2	Segundo e Terceiro Estágio de Amplificação	44
3.1.3	Critérios de Escolha do Amplificador Operacional	45
3.1.4	Figura de Ruído	46
3.2	Conversor A/D	49
3.3	Ferramenta de Simulação	50
4	RESULTADOS	53
4.1	Escolha dos Componentes	53
4.1.1	LNA (Amplificador de baixo ruído)	53
4.1.2	Conversor A/D	54
4.2	Resultados de Simulação	57
4.2.1	LNA com três estágios de amplificação	57
4.2.1.1	Simulação de Ganho	59

4.2.1.2	Simulação de Ruído	65
4.2.2	LNA com dois estágios de amplificação	68
4.2.3	Simulações de Ajuste	69
4.2.4	Circuito Final	80
5	CONCLUSÃO	83
	REFERÊNCIAS	85
6	ANEXO	87
6.1	Documentação Técnica	87

1 Introdução

1.1 Contextualização

As primeiras formas de comunicação iniciaram-se a partir do contato entre seres humanos, originando-se primitivamente por meio de interações visuais, auditivas e até mesmo olfativas. Com o tempo a humanidade foi se desenvolvendo, assim como a comunicação foi se aprimorando e criando novos formatos, o que possibilitou sua utilização em diversas condições.

A comunicação sofreu diversas transformações ao longo do tempo tornando-se robusta e universal, criando de fato sistemas que pudessem ser aplicados em qualquer ambiente, mesmo em condições adversas. Considerando que as grandes mineradoras buscam sempre melhorar seus sistemas de comunicação para desenvolver um sistema com maiores aplicabilidades, adaptado a diferentes configurações de minas, mais resistente a acidentes e de fácil manuseio, este documento irá tratar da comunicação na mineração.

A mineração é uma atividade exercida pelos seres humanos há séculos e que vem sendo utilizada até os dias de hoje. É uma prática que possui grande importância social, tendo em vista que movimenta de forma significativa a economia. Consiste na extração de diversos minérios, como o alumínio e o silício, que são a base da matéria prima da indústria.

Há duas formas de execução da mineração: uma denominada lavra a céu aberto, onde a escavação é feita sobre a terra e é aplicada quando há fácil extração dos minérios em superfícies não profundas; e a segunda, que recebe o nome técnico de lavra subterrânea e consiste na criação de grandes galerias para a extração de minérios em grandes profundidades (REMACRE, 2012). O foco deste trabalho será a comunicação na mineração subterrânea.

As lavras subterrâneas são locais de trabalho com condições muito precárias, devido ao excesso de umidade (chegando a níveis superiores a 90%) e à alta concentração de gases tóxicos, que podem causar explosões e contaminações. Além dessas condições adversas, o ambiente pode sofrer transformações que podem não ser suportadas pela estrutura elaborada causando acidentes, como deslizamentos e inundações (YARKAN et al., 2009). Outro fator que agrava as condições dentro das minas são suas grandes quilometragens em formato de grandes labirintos, o que aumenta a necessidade de comunicações a grandes distâncias em caso de acidentes ou até no contato durante o serviço.

Acidentes em lavras subterrâneas quase sempre impossibilitam a saída dos trabalhadores até o início do trabalho de socorro. Como se tratam de perfurações, o resgate

sempre é delicado, pois não possui informações exatas sobre a localização ou sobre as condições de saúde dos envolvidos no acidente. Ainda existem casos em que há a necessidade de resgate rápido, pois a mina pode ter a presença de gases tóxicos ou até mesmo fogo. Desta forma, a comunicação deve ser realizada o mais rápido possível. No entanto muitas vezes o sistema de comunicação da lavra é afetado com o acidente e pode perder a sua funcionalidade. Sendo assim, há necessidade de criar uma comunicação entre o interior da lavra e o meio externo a prova de acidentes, esse sistema necessita de um aparelho que consiga enviar e captar um sinal enviado através das rochas e do solo (PITTMAN; CHURCH; MCLENDON, 1985).

Alguns formatos de comunicação já foram inseridos na mina, no entanto ainda não há níveis completamente satisfatórios sobre a eficácia do sistema, principalmente em casos extremos. Isso se deve por dois motivos - ou por terem sido danificados no momento do acidente ou por não possuírem o alcance de toda a extensão interna ou externa da lavra (FOROOSHANI et al., 2013). Tendo em vista essas adversidades, a academia está em busca de um sistema de comunicação portátil de fácil acesso que possa ser utilizado em qualquer local da lavra sem a ocorrência de prejuízos do sinal, por meio da sua recepção ao longo de todo o interior e exterior da lavra subterrânea.

Hoje em dia existem três modelos de comunicação possíveis entre pessoas que estão dentro e fora da lavra: *Through-the-Earth* (TTE), *Through-the-Wire* (TTW) e *Through-the-Air* (TTA). Cada uma destas comunicações possui particularidades e especificações de equipamentos distintas.

As principais comunicações utilizadas atualmente no interior da lavra são *Through-the-Wire* (TTW) e *Through-the-Air* (TTA). A comunicação TTW se baseia na comunicação por meio de cabos coaxiais conectados no interior da lavra até a superfície, sendo esse sistema ainda muito utilizado nas minas subterrâneas. E a TTA que teve seu início em meados dos anos 2000 com a modernização dos equipamentos ZigBee e o RFID (Radio-Frequency IDentification), equipamentos de baixo alcance que possibilitam comunicações sem fio no interior e exterior da lavra (FOROOSHANI et al., 2013).

Contudo esses dois modelos de comunicação ainda apresentam pontos frágeis em diversas situações. O TTW, por exemplo, pode ser danificado em deslizamentos, explosões ou até em inundações. Além disso, há muitos gastos com as instalações do sistema ao longo de toda extensão da lavra subterrânea.

No caso do TTA o seu ponto desfavorável é o seu baixo alcance. Por serem equipamentos que foram projetados para absorver sinais com níveis de interferência muito baixos, existem fatores que limitam a sua transmissão, como a frequência e a potência.

Hoje o meio acadêmico está em busca do aperfeiçoamento do sistema TTE, haja vista que a partir dele será possível estabelecer uma comunicação sem fio. O TTE

por ser via *Wireless* possibilita comunicação em qualquer lugar da lavra evitando perdas significativas de informação. Há equipamentos que viabilizam esse tipo de comunicação, entretanto esses equipamentos são pouco utilizados, em virtude de configurações limitadas aos tipos de minas ou de alto custo.

Um dispositivo com a tecnologia TTE difundido na mineração é o PED (Personal Emergency Device), um receptor one-way de mensagens de texto. Esse equipamento australiano tem como principal função a comunicação com mineiros por meio de mensagens de texto. São utilizados geralmente para notificar acidentes, comunicar locais de risco dentro da lavra, ou até mesmo para emitir mensagens de evacuação. No entanto esse sistema apresenta aspectos negativos, um deles é o fato de ser one-way, ou seja, só recebe a mensagem de texto, não transmitindo informações do interior da lavra até o meio externo (FOROOSHANI et al., 2013).

Neste contexto, esse trabalho de conclusão de curso tem por finalidade projetar um circuito *Front-End*, com a comunicação no formato TTE (Through-the-earth), essa implementação irá se iniciar com a criação de um Front End de recepção que irá receber as informações de um sinal pré-determinado e condicioná-lo para o processamento digital.

1.2 Objetivos

1.2.1 Objetivo Geral

Esse trabalho de conclusão de curso tem a finalidade de projetar um circuito *Front End* de recepção para sistemas de comunicação TTE. O trabalho descreve os métodos para a criação do circuito, simulações que validam o modelo desenvolvido e propostas de ajustes que contribuem para melhoria do desempenho do sistema. Chega-se assim ao circuito sugerido com a sua melhor configuração e com a especificação dos componentes a serem utilizados para a confecção da placa de circuito impresso.

1.2.2 Objetivos Específicos

Os objetivos específicos são:

- Apresentar os principais tipos de comunicação na mineração, seus principais problemas e as possíveis soluções.
- Estudar e modelar o circuito de amplificação de baixo ruído (LNA), apresentando as principais topologias, a configuração adotada e o modelamento matemático do sistema.
- Apresentar os principais formatos de conversão analógico-digital.
- Escolher os componentes a serem empregados no sistema projetado, por meio dos requisitos desejados e da análise da documentação técnica do componente.
- Realizar de simulações com o circuito projetado, validando o sistema modelado e realizando possíveis ajustes para o melhor desempenho do projeto.

1.2.3 Estrutura do Trabalho

O restante do documento está organizado da seguinte maneira:

- Capítulo 2 - Fundamentação teórica sobre o problema abordado e as possíveis soluções a serem aplicadas na construção do protótipo proposto.
- Capítulo 3 – Descreve a modelagem do sistema proposto e a ferramenta de simulação adotada.
- Capítulo 4 - Apresenta os componentes a serem usados no projeto e os resultados encontrados nas simulações efetuadas
- Capítulo 5 – Trata das conclusões extraídas na projeto.

- Capítulo 6 – Apresenta a documentação técnica dos componentes.

2 Fundamentação Teórica

2.1 Comunicação na Mineração

A comunicação na mineração é importante para a transmissão de mensagens durante execução de serviços ou até mesmo em casos de acidente. Porém para que isso ocorra na lavra é necessário um sistema robusto que contorne as dificuldades da chegada da informação ao seu destino. Diante desse cenário alguns formatos de comunicação já foram implantados, no entanto ainda não há níveis completamente satisfatórios quanto a efetividade desses, principalmente em situações extremas. Isso se deve por dois motivos: ou por serem danificados no momento do acidente ou por não possuírem um alcance a longas distâncias.

Há três modelos de comunicação utilizados para emissão e recepção de mensagens entre o interior e o exterior da lavra: *Through-the-Earth* (TTE), *Through-the-Wire* (TTW) e *Through-the-Air* (TTA). Cada uma dessas formas de comunicação possui particularidades e especificações de equipamentos distintas. Neste tópico serão apresentadas cada uma delas e suas particularidades.

2.1.1 Through-the-Wire (TTW)

Esse tipo de comunicação consiste no envio de um sinal da superfície até o interior da lavra por cabos coaxiais ou fibras óticas. O início desse modelo ocorreu por meio de testes sem nenhum embasamento teórico ou qualquer modelagem empírica. Pessoas envolvidas na implantação dessa técnica na mineração descobriram que o modelo funcionava apenas para baixas frequências, com a frequência de corte na ordem de 10 MHz, podendo cobrir distâncias inferiores a 30 metros em uma mina vazia. Originou-se no final da década de 60 a partir do desenvolvimento da técnica monofilar, também denominada de *Leaky Feeder* (FOROOSHANI et al., 2013).

O *Leaky Feeder* é o sistema mais conhecido que é empregado na comunicação TTW. Esse sistema é feito por um cabo permeável que possibilita a saída do sinal de comunicação que está sendo emitido por ele (Figura 1). Dessa forma é possível acessar a informação ao longo de toda área coberta pelo cabo. Para que o sinal não seja perdido são instalados amplificadores em intervalos regulares de 350 a 500 metros. Contudo por ser um sistema que necessita de cabeamento possui grandes desvantagens, dentre elas sua difícil manutenção, infraestrutura fixa vulnerável a acidentes, baixo alcance e baixa cobertura em áreas de extração (FOROOSHANI et al., 2013).

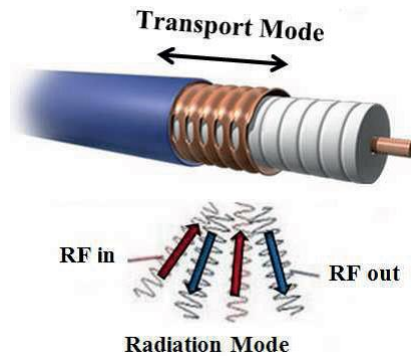


Figura 1 – Cabo Leaky Feeder (FOROOSHANI et al., 2013)

O sistema *Leaky Feeder* é mostrado na Figura 2. A partir da imagem pode-se visualizar toda a extensão do sistema desde seu início fora da lava. Ao entrar por meio do cabo, os dados transmitidos por um servidor são enviados até as áreas para as quais são designados, podendo controlar uma série de dispositivos no interior da lava.

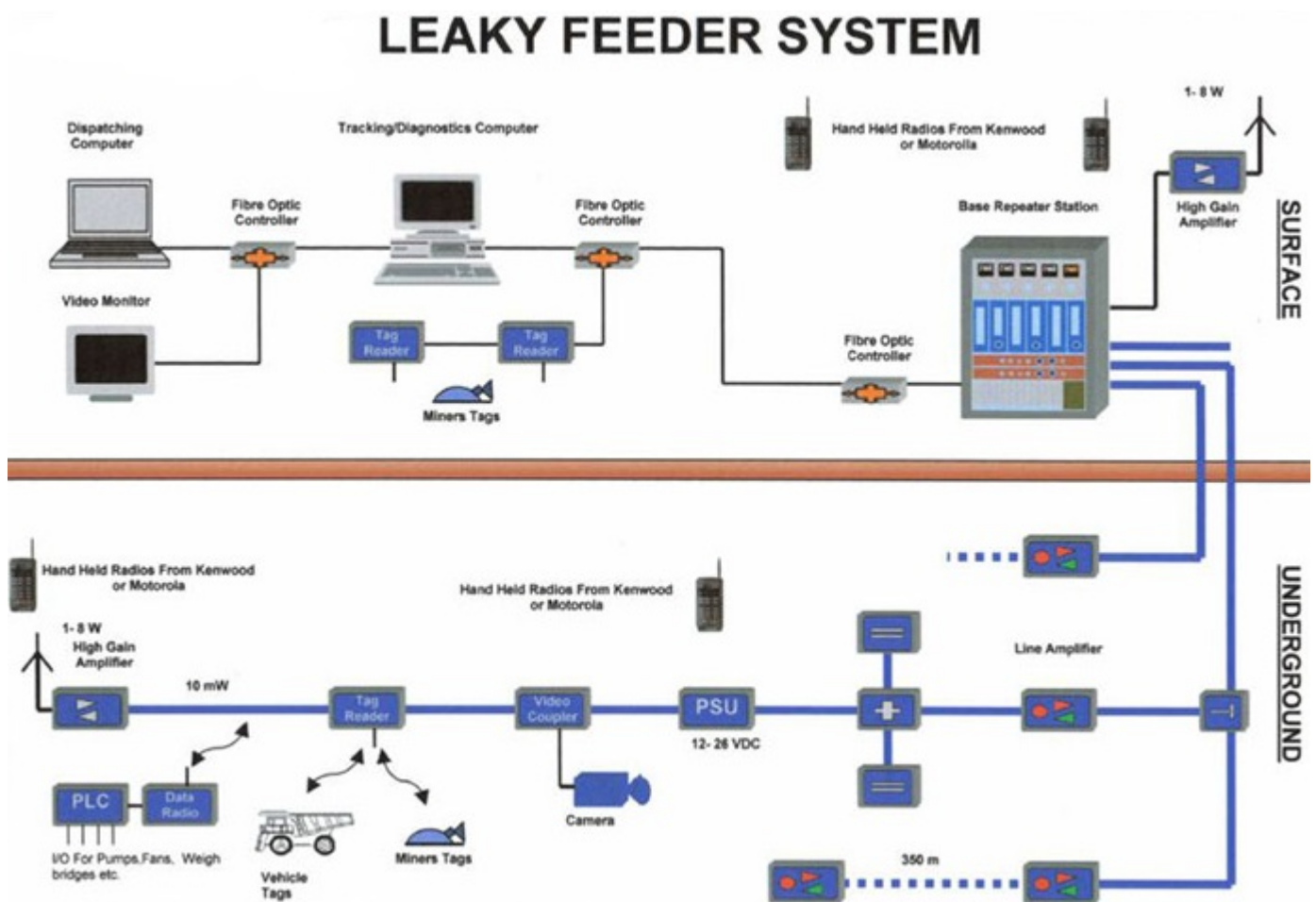


Figura 2 – Sistema *Leaky Feeder*

2.1.2 Through-the-Air (TTA)

A comunicação *Through-the-Air* (TTA) é feita via *wireless* e possibilita o envio de informações como voz, vídeo ou até mesmo transferência de dados. Possui uma maior gama de aplicações do que a comunicação TTW, como o rastreamento dos mineiros e equipamentos ou controle de equipamento remoto (FOROOSHANI et al., 2013).

A utilização desse modelo deu-se a partir do ano 2000 com o desenvolvimento da comunicação digital de baixo alcance. A mineração logo incluiu esses produtos na lavra, visando a substituição do modelo já existente. O investimento foi direcionado às tecnologias como ZigBee e o RFID com baixa taxa de dados e UWB (Ultra-wideband) para altas taxas, tendo em vista que essas tecnologias ofereciam curto alcance, baixa potência e capacidade de posicionamento. Uma possível solução seria associá-las a uma rede WLAN (Wireless Local Area Network), no entanto essa configuração não possui resultados satisfatórios nessa malha, sendo considerado o processo de comunicação por cabeamento mais confiável (FOROOSHANI et al., 2013).

Dentre as possíveis soluções temos o Tracking System, sistema que possui a associação entre os sistemas TTA e TTW. Esse sistema é representado pela Figura 3. No Tracking System há um servidor fora da lavra que tem acesso a todos os pontos do sistema. Com a passagem dos cabos permeáveis do sistema Leaky Feeder, que conectados às antenas no interior da lavra, é possível o rastreamento das tags de equipamentos e dos mineiros que estão trabalhando. Onde as tags são RFIDs, é possível visualizar o posicionamento de mineiros e equipamentos ou até mesmo executar o controle remoto dos equipamentos (FOROOSHANI et al., 2013).

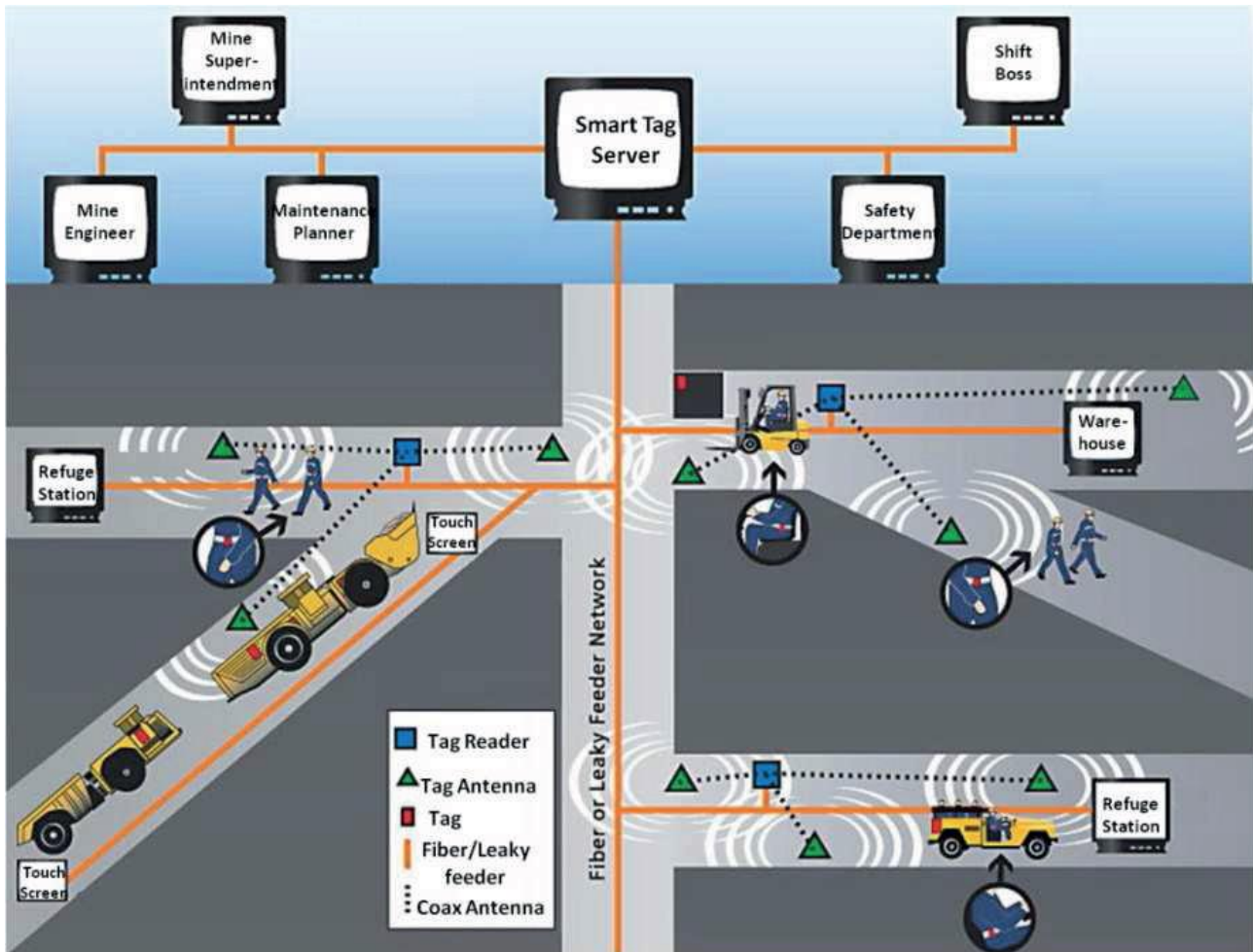


Figura 3 – *Tracking system* empregado em minas subterrâneas (FOROOSHANI et al., 2013).

2.1.3 Through-the-Earth (TTE)

A mineração sempre teve como objetivo uma comunicação sem fio, tendo como configuração de sistema a *Through-the-Earth* (TTE), baseada na troca de informações via *wireless* a partir de antenas localizadas dentro da lavra e na superfície externa a ela, utilizando as rochas como o canal de propagação do sinal, exemplificado na Figura 4 que demonstra como opera o sistema. Como o meio exige a utilização de sinais de baixa frequência, os tipos de sinais utilizados são ELF (*Extremely Low Frequency*) ou VLF (*Very Low Frequency*), pois dentro da lavra apenas sinais de baixa frequência são utilizados, evitando assim valores muito altos de atenuação, pois sinais de alta frequência na lavra acumulavam muita atenuação perdendo a informação enviada (FOROOSHANI et al., 2013).

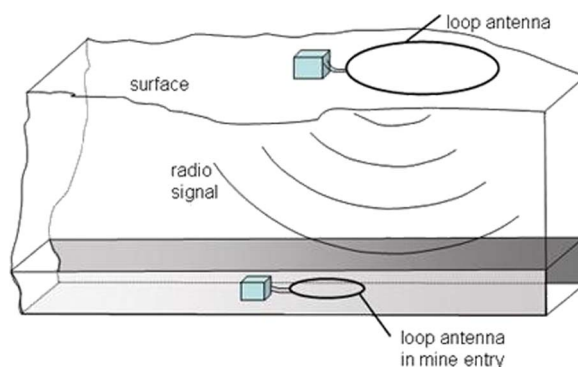


Figura 4 – Modelo de transmissão e recepção sem fio (FOROOSHANI et al., 2013).

Devido a sua funcionalidade em casos de emergência a utilização dessa configuração é muito atrativa na mineração, pois mesmo que ocorra um desastre na lavra subterrânea o sistema mantém a comunicação como não tem acontecido com os sistemas empregados na mineração atualmente. Isso ocorre porque as rochas propagam o sinal emitido, atingindo todos os níveis da lavra, sem a necessidade de haver qualquer tipo de cabeamento entre o interior da mina e a superfície.

Por um longo tempo esse tipo de tecnologia foi deixado de lado pelos estudiosos da mineração, pois os equipamentos desenvolvidos antes da década de 80 eram muito grandes e a transmissão feita em apenas baixas frequências. Com a modernização da eletrônica o assunto voltou ganhar destaque. A comunicação TTE pode ser feita “*one way*” (apenas ida) do interior da lavra até a superfície ou “*two way*” (ida e volta) que coloca em comunicação o interior da lavra e a superfície. O “*two way*” é utilizado com mais frequência, pois em situações de emergência existe um meio de comunicação que permite a obtenção das informações sobre a situação dos mineiros e o cenário do acidente, facilitando assim o resgate (FOROOSHANI et al., 2013).

Hoje nas lavras existem dois tipos de comunicação baseado no modelo TTE em caso de acidentes, sendo um feito por texto e o outro por rastreamento. Com o auxílio do dispositivo pessoal de emergência (*Personal-Emergency-Device* – PED) é possível realizar a comunicação por meio de texto, via sinais VLF/ULF para transmissão, utilizando a comunicação do tipo “*one way*” (FOROOSHANI et al., 2013).

O sistema PED desenvolvido na Austrália tem como principal objetivo informar o que está acontecendo no interior da lavra por meio de mensagens (o processo de envio de notificações pode ser visto na figura 5). O processo se inicia com a escrita e a codificação pelo modulador, sendo emitida pelo transmissor e captada pelo receptor no interior da lavra que vai receber a mensagem, decodificá-la e apresentá-la ao mineiro.

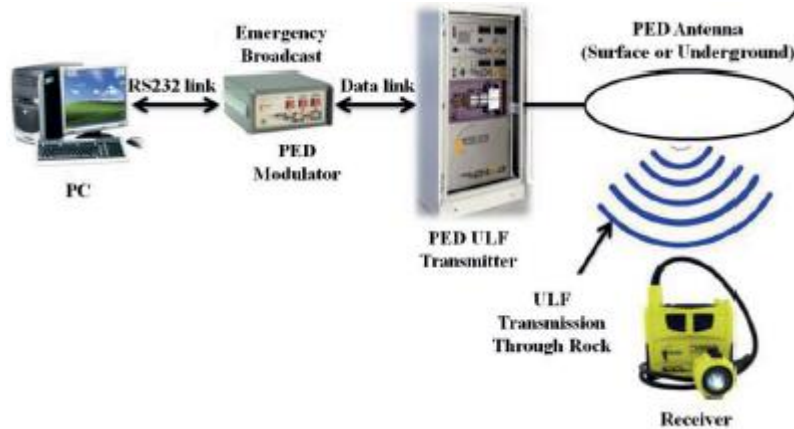


Figura 5 – Processo de comunicação pelo modelo TTE(FOROOSHANI et al., 2013)

Para que essa comunicação TTE seja feita, há a necessidade de se criar um transceptor capaz de receber e enviar a mensagem desejada. O início desse processo dá-se neste projeto por meio da criação do *Front-End* de recepção.

2.2 *Front-End* de Recepção

Na comunicação há dois equipamentos que são imprescindíveis para que o sistema esteja completo para o funcionamento: os transmissores e receptores. Os transmissores são responsáveis pela codificação da mensagem e pelo seu envio. Já o receptor tem por base receber o sinal emitido, decodificar e apresentar a informação.

Como o foco deste trabalho está no receptor (modelo de receptor figura 6) , principalmente no tratamento do sinal recebido realizado pelo circuito de *front end*, este processo pode ser elaborado de muitas formas. De maneira geral há etapas a serem percorridas para que o sinal esteja condicionado para a decodificação. Dentre os passos a serem seguidos estão: a amplificação do sinal, a retirada dos sinais indesejados por meio de filtros e a conversão de um sinal analógico para digital, para que ele possa ser interpretado por microprocessadores.

Sabendo que há a necessidade de seguir esses passos, foi escolhida a concepção de um receptor, que vai possuir em sua entrada para tratamento do sinal um LNA (*Low Noise Amplifier*), que irá amplificar e retirar o sinal indesejado, e o decodificador A/D que transformará o sinal de analógico para digital. A partir da escolha dessas tecnologias

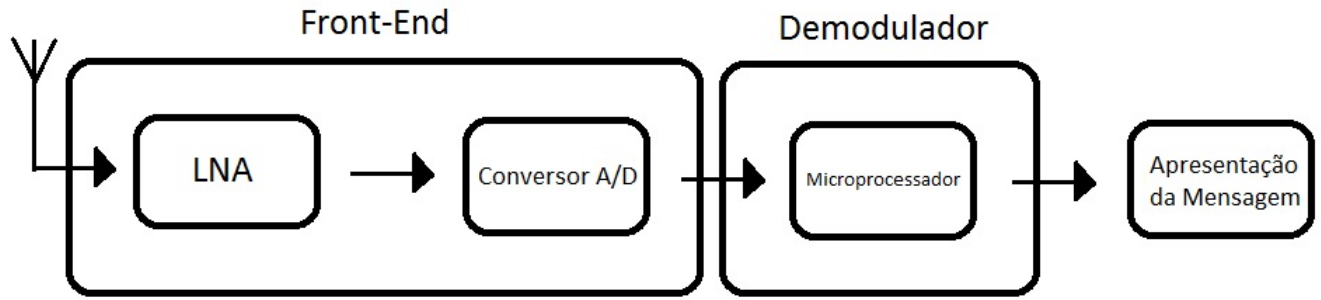


Figura 6 – Modelo de Receptor

a serem utilizadas, este tópico vai apresentar o que são esses dispositivos, o seu funcionamento, as possíveis configurações, e prováveis aplicações destes para a criação do receptor TTE.

2.2.1 LNA

O primeiro bloco que aparece na cadeia do sistema do receptor é um amplificador de baixo ruído (LNA – *Low Noise Amplifier*). A principal função desse sistema é receber o sinal emitido que está com uma tensão na ordem de microvolts captado pela antena e amplificá-lo, contribuindo com o menor valor possível de ruído. Funcionando desta forma há a minimização da figura de ruído global, aumentando a sensibilidade do receptor (SOARES, 2010).

A partir da formula de Friis (formula 2.1) é possível calcular o fator de ruído do sistema em cascata. Uma consequência dessa formula é verificar a fator de ruído global do sistema, que é estabelecido no seu primeiro estágio de amplificação. As amplificações dos estágios subsequentes possuem uma diminuição da relação sinal-ruído não influenciando de forma significativa o sinal. Com isso, muitas das vezes são projetados amplificadores de baixo ruído (LNA). Esse primeiro estágio de amplificação tem a maior influencia no fator de ruído do sistema como pode ser visto na equação 2.2. Sendo assim o LNA busca a melhor composição com o menor ruído possível.

$$F_{total} = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 G_2} + \frac{F_4 - 1}{G_1 G_2 G_3} + \dots + \frac{F_n - 1}{G_1 G_2 \dots G_{n-1}}. \quad (2.1)$$

$$F_{receptor} = F_{LNA} + \frac{F_{(resto)} - 1}{F_{LNA}}. \quad (2.2)$$

O LNA pode ser constituído de várias formas onde cada um desses modelos apresentam as suas particularidades. Geralmente esses circuitos tendem a ser constituídos com o menor número possível de elementos ativos e passivos ruidosos (transistores, resistores), evitando valores significativos de ruído no sinal, buscando a menor figura de ruído global

do sistema. Mesmo possuindo diversas configurações de circuitos, cada um suas particularidades, os circuitos de baixo ruído necessitam atingir metas para o seu completo funcionamento (SOARES, 2010).

As principais metas a serem atingidas são:

1. Máximo ganho;
2. Mínima figura de ruído;
3. Alta linearidade;
4. Casamento de impedância com a antena;
5. Baixo consumo de potência.

Quando há necessidade de um LNA em um receptor, geralmente são projetados com transistores do tipo MOS. Com a combinação desses componentes pode se chegar a amplificação desejada com o mínimo acréscimo de ruído no sistema. Geralmente as construções desses amplificadores podem ser feitas com apenas um ou dois transistores considerando circuitos básicos de amplificação como emissor comum, porta comum e dreno comum (SOARES, 2010). Outra possibilidade seria utilizando amplificadores operacionais, atingindo o ganho desejado, havendo apenas a necessidade de utilizar equipamentos de baixo ruído e alta precisão.

Os circuitos mais básicos de amplificação apresentam somente um transistor, que possibilita uma figura de ruído global baixa, existindo apenas três configurações, que são: fonte comum, porta comum e dreno comum. Cada uma dessas topologias apresentam diferentes funcionalidades, como é o caso do amplificador seguidor de fonte (dreno comum), um circuito muito útil para fornecer altos valores de corrente na saída, no entanto, o ganho de tensão deste estágio nunca ultrapassa o ganho unitário. Já o amplificador porta comum tem como característica principal o ajuste da impedância de entrada a baixos valores resistivos, que é muito interessante, pois facilita o casamento de impedância com a antena, casamento este que minimiza perdas por reflexão informação da antena e do LNA. O casamento é feito com uma impedância de $50\ \Omega$ a partir da equação $1/g_m$, desta forma para minimizar a figura de ruído deve se aumentar o g_m . Mesmo com esse aumento a figura de ruído não é menor que 3 dB. Por fim, o amplificador fonte comum é capaz de oferecer altos valores de ganho de tensão, fornecendo uma impedância de entrada puramente capacitiva. Configuração essa amplamente utilizada em circuitos de baixo ruído (SOARES, 2010). Na Figura 7, é possível visualizar as configurações descritas.

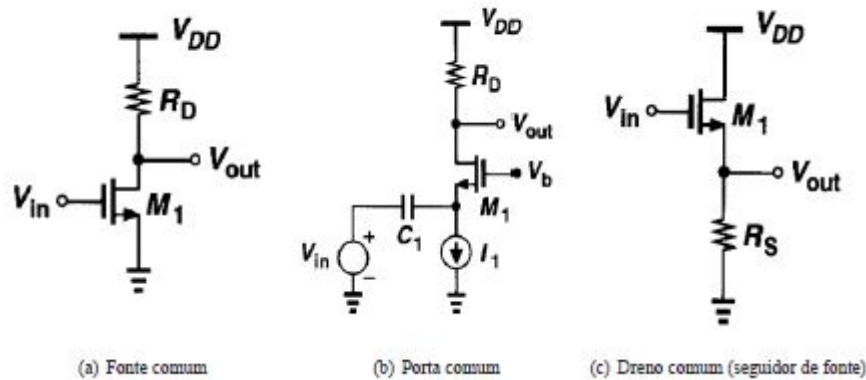


Figura 7 – Possíveis constituições de Amplificadores (SOARES, 2010)

Além dessas composições com apenas um transistor, outro formato utilizado para a construção de LNA a partir de amplificadores operacionais de baixo ruído é a configuração de um amplificador diferencial, que é amplificação da diferença entre as duas entradas. Essa configuração pode ser visualizada na figura 11.

A utilização desse modelo apresenta a possibilidade de conectar as duas saídas da antena ao LNA inserindo assim o sinal recebido no sistema. O par diferencial tenta minimizar a tensão de modo comum no sinal, gerando assim apenas a amplificação do sinal desejado, eliminando grande parte do sinal que é inserido ao longo do canal (SEDRA et al., 2007). Mas para que essa conexão atinja uma alta precisão é necessário realizar o casamento de impedâncias, que minimiza as perdas por reflexão sinal recebido pela antena com o que ela transmite para o amplificador, além de maximizar a transferência de potência e evitando ondas estacionárias (BOWICK, 2011).

A configuração do par diferencial vem da família dos amplificadores diferenciais que apresentam diversas vantagens em relação a outras configurações como maior imunidade a ruído ambiente, melhor rejeição a ruído da fonte, maior excursão de saída, maior relação sinal ruído e menor distorção de ordem par. Características que a diferencia de circuitos mais simples, levando em consideração a amplificação desejada e a figura de ruído no sinal (SEDRA et al., 2007).

Mas ao mesmo tempo em que se utilizam amplificadores operacionais de baixo ruído e uma configuração que minimiza ao máximo o ruído, ainda existe uma grande fonte ruidosa aplicada no sistema que são os resistores, com o ruído térmico, podem contribuir com o aumento da figura de ruído global (??). Para que seja eliminado ao máximo o ruído proveniente dos resistores, pode se usar resistores de filme fino (Thin Film), que são resistores de alta precisão com baixos níveis de ruído. Com o casamento desses equipamentos de baixo ruído é possível chegar a uma configuração com níveis baixos de ruído.

Com essas possíveis configurações para o LNA, é possível amplificar o sinal recebido sem que haja a inserção de ruído, necessitando agora da conversão do sinal analógico para digital. Processo esse feito pelo conversor A/D.

2.3 Conversor Analógico-Digital

Com a necessidade de se converter uma grandeza analógica como a tensão de saída amplificada de uma antena ou uma tensão na saída de um sensor, para que ela possa ser processada por um circuito lógico como um microprocessador ou um computador é necessário inserir no sistema um dos dispositivos da era moderna da eletrônica que é o conversor analógico digital, sistema esse que converte o sinal analógico em digital convertendo o sinal de entrada através dos níveis de tensão ou até mesmo a intensidade de corrente. Esses equipamentos estão presentes em diversos sistemas eletrônicos auxiliando no processamento da informação, podendo ele ser feito com configurações diferentes.

Para que o conversor seja aplicado no sistema há diversas variáveis que devem ser levadas em consideração, dentre elas estão o tempo de processamento, faixa de frequência de trabalho, forma de processamento, número de bits processados. No caso deste projeto o número de entradas também é um ponto de análise. O conversor A/D geralmente possui a mesma configuração da Figura 8, contendo nele conversor D/A (conversor digital analógico), a temporização de operação é fornecida pelo sinal de entrada do clock de entrada. A unidade de controle contém os circuitos lógicos que irão gerar uma sequência apropriada para as tensões de entrada analógica, assim que o sistema recebe o comando de início (comando START) (TOCCI; WIDMER; MOSS, 2003). Com o início do processo o conversor inicia as suas etapas de funcionamento sendo elas:

- O pulso START inicia a operação;
- A partir da taxa determinada pelo *clock*, a unidade de controle modifica continuamente o número binário que está armazenado no registrador;
- O número binário no registrador é convertido para uma tensão analógica, V_{AX} , feita pelo conversor D/A;
- O comparador compara, V_{AX} , com a entrada analógica, V_A . Enquanto $V_{AX} < V_A$, a saída do comparador fica em ALTO. Quando V_{AX} excede V_A por alguma quantidade próxima de V_L (tensão de limiar), a saída do comparador vai para o nível BAIXO e para o processo modificar o número do registrador. Com isso pode se dizer que este valor é uma boa aproximação entre esses dois valores. Sendo assim o valor digital que está no registrador, é o valor digital equivalente a V_{AX} assim como de V_A dentro da resolução e precisão do sistema;

- Assim, com o sinal digital equivalente aquela tensão, a lógica de controle ativa a flag para a interrupção do processo assim que a conversão é finalizada;

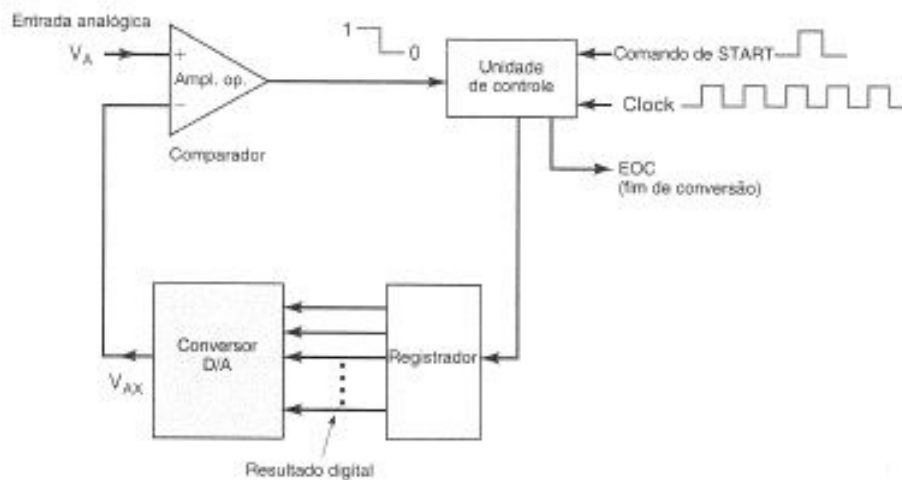


Figura 8 – Diagrama geral de conversor A/D (TOCCI; WIDMER; MOSS, 2003)

Os conversores A/D possuem diversas topologias normalmente diferenciando apenas da maneira de como a seção de controle modifica continuamente os números do registrador. Mesmo com essas diferenças as etapas de funcionamento apresentadas representam o funcionamento de um conversor em todas as suas etapas. Dentre as topologias mais empregadas em conversores estão:

- Conversor A/D de Rampa Digital;
- Conversor A/D de Aproximações Sucessivas;
- Conversor A/D Flash;
- Modulação Sigma/Delta.

2.3.1 Conversor A/D de Rampa Digital

Sendo o modelo mais simples de conversor A/D, ele utiliza contador binário como registrador, permitindo com que o clock incremente o contador para cada passo. A denominação desse conversor se dá devido a sua forma de onda, sendo ela uma rampa passo a passo. O sistema é conhecido também como conversor A/D tipo contador. Na sua constituição há um conversor D/A, um comparador analógico e uma porta AND de controle. Com a saída do sinal do comparador é finalizado o processo de conversão. A Figura 9 apresenta um exemplo desse sistema e a onda de conversão de saída (TOCCI; WIDMER; MOSS, 2003).

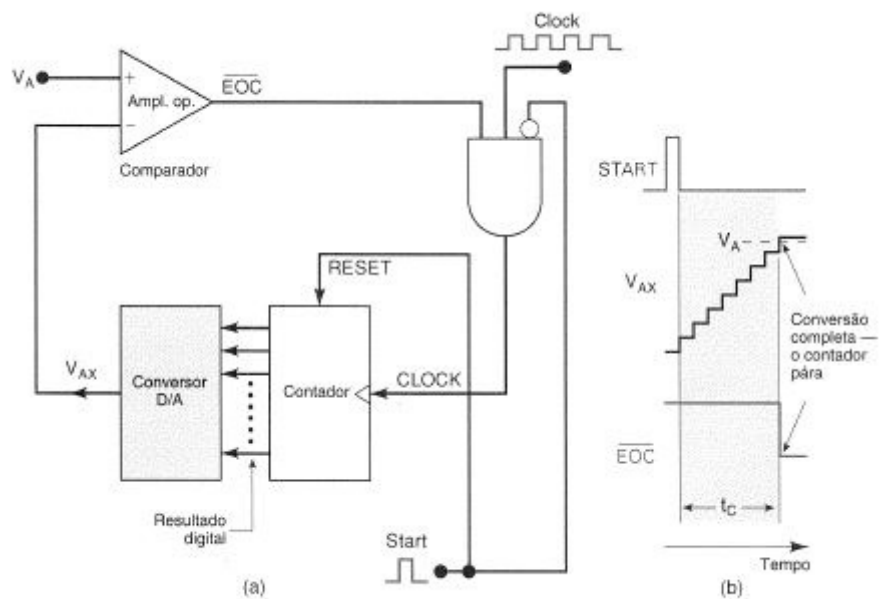


Figura 9 – Conversor A/D de rampa digital (TOCCI; WIDMER; MOSS, 2003)

Nesse sistema há dois pontos a serem levados em consideração: a resolução e o tempo de conversão do sistema. A resolução do sistema possui a necessidade de ser observada, pois o mesmo possui erros de quantização associado ao degrau de cada passo dado. O erro de quantização pode ser minimizado com um maior número de bits empregados no conversor, mas há ressalvas de que estes não possam ser muito grandes, o que gerará uma descaracterização do sinal (TOCCI; WIDMER; MOSS, 2003).

Já o tempo de conversão é o tempo que o sistema leva para processar todo o sinal analógico, um exemplo pode ser visto na Figura 9, onde o processo se inicia ao fim do pulso START e termina assim que todo o sinal é convertido para uma informação digital. O contador nesse sistema se inicia em zero e conta de forma crescente até o estágio em que o sinal convertido seja igual ou maior que o sinal de entrada. Sendo assim fica claro que o tempo de conversão se baseia no tempo em que o conversor leva para chegar até o valor da tensão do sinal analógico de entrada. Por ser um método que depende do número de bits, o tempo dobra a cada novo bit inserido. Portanto, um sistema ineficiente para a conversão de muitos bits ou de sinais com alta velocidade, sendo aplicado apenas em sistemas mais simples com poucos bits.

2.3.2 Conversor A/D de Aproximações Sucessivas

Esse modelo de conversor é um dos mais utilizados. Mesmo com circuitos mais complexos ele possui um tempo de conversão muito menor que um conversor A/D de rampa digital. O seu tempo de conversão não depende da entrada analógica, pois o sistema

possui um tempo de conversão fixo. Seu conversor tem configuração próxima do conversor A/D de rampa digital, mas se diferencia por não possuir um contador para fornecer a entrada do bloco conversor D/A, sendo substituído por registradores. A sequência básica de operações é demonstrado pelo fluxograma na figura 10(b), do diagrama de blocos simplificado na mesma Figura (TOCCI; WIDMER; MOSS, 2003).

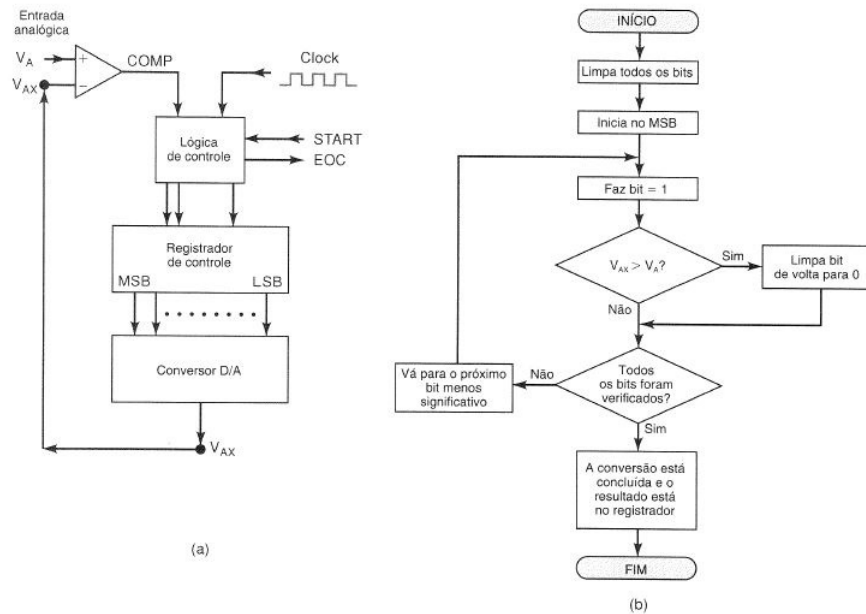


Figura 10 – Conversor A/D de aproximações sucessivas; (a) diagrama de blocos simplificado; (b) fluxograma de operação (TOCCI; WIDMER; MOSS, 2003).

Por ser um conversor que possui taxa de conversão razoavelmente rápida, a sua utilização se torna comum em diversos projetos, principalmente quando o sinal analógico muda a uma taxa relativamente alta. Por sua ampla utilização esse modelo de conversor é muito fácil de encontrar em circuitos integrados (CI), não havendo a necessidade de projetar esse sistema (TOCCI; WIDMER; MOSS, 2003).

2.3.3 Conversor A/D de Flash

O conversor A/D flash é aquele que detém a maior velocidade de conversão em comparação aos outros conversores, mas ao mesmo tempo em que é muito veloz ele necessita de muito mais circuitos que os outros. A conversão A/D Flash depende do número de bits, por exemplo, em um projeto para um conversor com 6 bits ele necessita de 63 comparadores analógicos, para um conversor de 10 bits necessita de 1023 conversores analógicos. Por exigir um grande número de componentes a indústria limitou o número

de bits para os conversores flash, sendo comum encontrar com 2 a 8 bits em circuitos integrados (CI) (TOCCI; WIDMER; MOSS, 2003).

O conversor A/D Flash não possui um clock, porque não é necessária nenhuma temporização ou sequenciamento. A conversão é realizada continuamente, dependendo apenas dos valores da entrada analógica. O sistema de temporização depende apenas do atraso de propagação dos comparadores e da lógica do codificador (TOCCI; WIDMER; MOSS, 2003).

Esse modelo de conversão apresenta muitos pontos favoráveis e ressalvas que devem ser levadas em consideração de acordo com o sistema a ser projetado. Por ter um tempo de conversão muito baixo torna-se atrativo, em contrapartida sua configuração se limita a 10 bits, que é um dos formatos ainda encontrados no mercado. Para valores acima o tipo de conversão torna-se inviável pelo alto número de componentes a serem empregados aliado ao aumento do custo do componente (TOCCI; WIDMER; MOSS, 2003).

2.3.4 Modulação Sigma/Delta

Outro modelo para representar uma informação analógica na forma digital é feito a partir modulação sigma/delta, técnica que já possui mais de meio século. Inicialmente começou a ser aplicada somente com a possibilidade da sua integração em grande escala (VLSI – Very Large Scale Integration). Conversores Sigma/Delta são insensíveis às imperfeições do circuito e à disparidade dos componentes. No entanto, esses conversores requerem rápidos e complexos estágios de processamento digital de sinais (FONSECA; LIMA, 2005).

Este tipo de conversor é um dispositivo com “sobreamostragem”, de acordo com Tocci, Widmer e Gregory (2003) “Sobreamostragem significa que ele efetivamente amostra a informação analógica mais frequentemente do que a taxa mínima de amostragem. A taxa mínima de amostragem é duas vezes mais alta que a frequência mais alta do sinal analógico de entrada.” demonstrando como o sistema é rápido (TOCCI; WIDMER; MOSS, 2003).

Os dados finais são gerados por meio de interpolação entre os pontos que seriam gerados pela taxa mínima de amostragem. Modelo que não é representado por apenas um número composto por vários bits para cada amostra. No lugar deste número de composto por bits ele fornece a tensão analógica variando a densidade de 1s lógico em uma sequência de bits de dados seriais, um valor alto desse 1s pode ser gerado pelo conversor A/D (por exemplo, 0111110111110111110111) (TOCCI; WIDMER; MOSS, 2003).

3 Métodos

A metodologia presente em projetos tem como finalidade apresentar como será composto o sistema e o que será necessário fazer para chegar à configuração final. O processo é constituído por etapas: a primeira consiste no estudo teórico do problema e da possível solução a ser aplicada, apresentando a possível configuração do sistema, já a segunda etapa necessita validar o projeto teórico por meio de *software* onde eles simulam o funcionamento do sistema proposto.

Ao chegar a esse sistema se iniciam as etapas de construção do projeto em meio físico, onde vai ser testada a eficácia desse sistema com componentes reais, pois há diversas variáveis externas ao sistema que não são consideradas no *software*. Esta etapa consiste apenas em avaliar o projeto por meio de *software* demonstrando os componentes e as possíveis variações a serem aplicadas no sistema físico. Neste tópico será apresentado a análise teórica e o *software* usado para validar o sistema proposto.

3.1 Projeto LNA

Para o amplificador de baixo ruído (LNA) deste projeto, a topologia escolhida envolve apenas amplificadores operacionais.

Assim, a combinação desses amplificadores operacionais precisam atingir ganhos iguais ou superiores a 120 dB, ganho esse necessário para elevar o sinal de entrada que é muito baixo ao ser recebido pela antena, geralmente em microvolts (μV) para uma tensão próxima a $\pm 10\text{V}$, realizando a conversão desse sinal analógico em digital e posteriormente traduzindo a mensagem.

Em um primeiro momento foi pensado na criação deste amplificador com apenas um estágio de amplificação, o que poderia colocar esse estágio em seu funcionamento máximo e levaria a uma redução de vida útil do sistema, havendo a necessidade de aplicar mais de um estágio de amplificação para atingir o ganho necessário sem sobrecarregar os amplificadores e ao mesmo tempo os resultados desejados.

3.1.1 Primeiro Estágio de Amplificação

O primeiro estágio de amplificação tem um papel muito importante no Front End, pelo fato de ser o primeiro contato do sinal com o sistema de tratamento da informação além de ser o estágio que irá inserir grande parte do ruído do LNA, por apresentar o maior número de componentes ruidosos do sistema do LNA. Essa grande fonte de ruído

é proveniente dos equipamentos necessários para a topologia escolhida para o primeiro estágio, a do Amplificador Diferencial figura 11 .

Essa topologia foi escolhida pela necessidade de se conectar os dois terminais da antena ao LNA. Assim que inserida no amplificador, há a subtração desses dois sinais retirando do sinal valores comuns aos dois terminais e amplificando a diferença dos terminais. Mas para que esse modelo seja elaborado, há a necessidade de se utilizar muitos resistores, além do amplificador, o que ocasiona o aumento de ruído no sinal, desta forma uma maneira de minimizar o ruído é utilizando um amplificador operacional de baixo ruído.

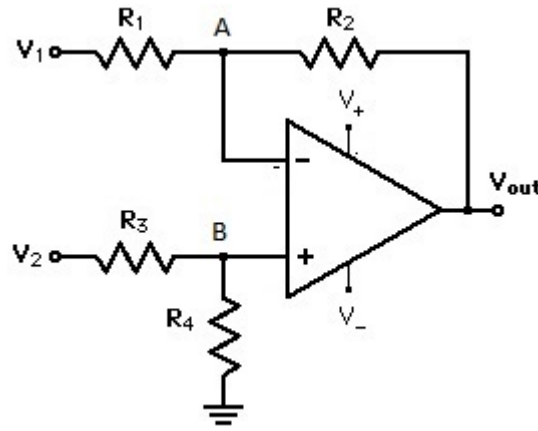


Figura 11 – Amplificador Diferencial (ALEXANDER; SADIKU, 2003).

O primeiro passo a ser feito para encontrar a equação do ganho é encontrar as equações de entrada e de saída e realizar a razão entre elas, chegando à equação 3.1:

$$V_{out} = \left(\frac{R_1 + R_2}{R_3 + R_4} \right) \frac{R_4}{R_1} V_2 - \frac{R_2}{R_1} V_1. \quad (3.1)$$

Simplificando a partir de

$$R_1 = R_3 \text{ e } R_2 = R_4, \quad (3.2)$$

vem

$$V_{out} = \frac{R_2}{R_1} (V_2 - V_1) \quad (3.3)$$

A partir da Equação 3.7, podemos buscar os valores para as resistências a serem aplicadas. Com tensões em microvolts na saída da antena e a necessidade de chegar a tensões próximas a 10 V pico a pico, tensão essa necessaria para uma melhor conversão do sinal, e não sendo possível que isso seja feito em apenas um estágio de amplificação, pois para que possa ser atingido esses valores seriam necessarios resistores com valores

muito altos o que iria contribuir de forma significativa com a relação sinal-ruído, ficou definido um ganho de 40 dB para o primeiro estágio, valor esse que resulta em um fator de amplificação em 100 vezes.

Para a definição do ganho do primeiro estágio de amplificação há a necessidade de se analisar o produto ganho-banda passante do sistema, o produto ganho-banda busca o maior ganho na maior faixa de frequência possível. Essa análise leva em consideração a frequência de corte e a frequência de ganho unitário (0 dB). Relação que pode ser visualizada a partir da equação 3.4

$$Ganho = \frac{\text{Frequência de ganho unitário}}{\text{Frequência de corte}} \quad (3.4)$$

Desta forma são definidas a frequência de corte que está próxima a 100 kHz e a frequência de ganho unitário em cerca de 10 MHz. Realizando a operação temos:

$$Ganho = \frac{10 * 10^6}{100 * 10^3} \quad (3.5)$$

$$Ganho(dB) = 20 * \log 100 = 40dB \quad (3.6)$$

Chegando assim por meio das equações 3.5 e 3.6 ao ganho do primeiro estágio que está por volta de 40 dB para a frequência de corte e a frequência de ganho unitário impostas pelo sistema.

A partir dos cálculos com a equação 3.7 chegamos às resistências:

$$R_1 = R_3 = 10\Omega \quad R_2 = R_4 = 1k\Omega \quad (3.7)$$

Ficando, portanto, o primeiro estágio com a configuração da Figura 12 .

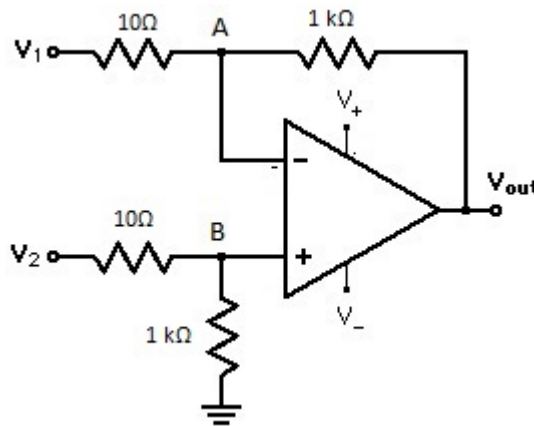


Figura 12 – Amplificador Diferencial com valores projetados.

3.1.2 Segundo e Terceiro Estágio de Amplificação

O segundo estágio de amplificação busca chegar à tensão desejada, desta forma como o primeiro estágio de amplificação ficou fixado em 40 dB, para chegar a tensão desejada é necessário um ganho igual ou superior a 80 dB. Com o ruído tendo valor significativo no primeiro estágio e em consequência disso a utilização de um amplificador de baixo ruído, pode ser utilizado nos demais estágios, configurações que apenas amplificam o sinal desejado. A topologia a ser utilizada será o amplificador inversor (Figura 13).

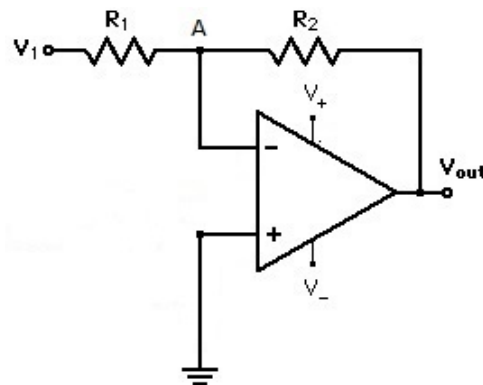


Figura 13 – Amplificador Inversor (ALEXANDER; SADIKU, 2003).

A amplificação desse estágio é definida pela equação 3.8:

$$V_{out} = \frac{R_2}{R_1} V_{in} \rightarrow \frac{V_{out}}{V_{in}} = \frac{R_2}{R_1} \quad (3.8)$$

Havendo ainda um ganho muito alto a ser atingido, serão criados mais dois estágios, com ganhos de 40 dB e 50 dB ultrapassando assim o valor desejado, procedimento esse que dá uma margem de segurança ao sistema. Com os ganhos definidos e manipulando a equação do ganho (Equação 3.8) chegamos às seguintes resistências para cada estágio:

Segundo Estágio com ganho de 50 dB:

$$R_1 = 10\Omega \quad R_2 = 3,5k\Omega \quad (3.9)$$

Terceiro Estágio com ganho de 40 dB:

$$R_1 = 10\Omega \quad R_2 = 1,5k\Omega \quad (3.10)$$

Chega-se assim às configurações apresentadas na Figura 14.

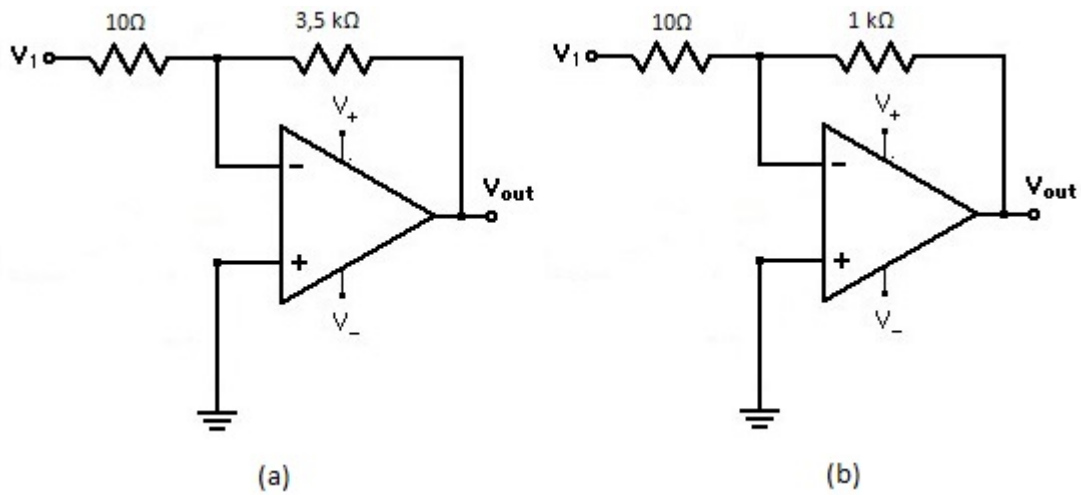


Figura 14 – Amplificador Inversor com valores projetados; (a) Segundo Estágio de Amplificação; (b) Terceiro Estágio de Amplificação.

Com os três estágios de amplificação definidos, o sistema completo do LNA pode ser visto na Figura 15:

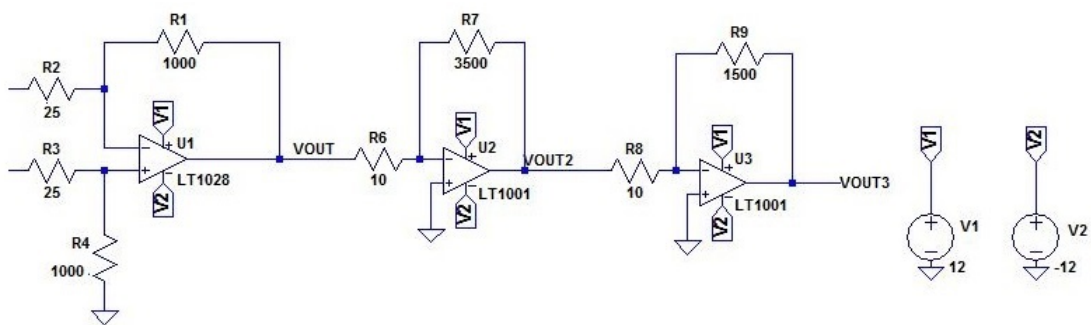


Figura 15 – Esquemático do sistema completo.

3.1.3 Critérios de Escolha do Amplificador Operacional

Entre os amplificadores operacionais, apenas um deles necessita de uma escolha elaborada a partir de critérios que atendam ao projeto. Este amplificador está situado no primeiro estágio de amplificação, onde é necessário realizar a amplificação com o menor ruído possível e ao mesmo tempo alta precisão. Desta forma foram levados em consideração alguns fatores para a escolha deste amplificador, são eles:

- Figura de Ruído;
- Tensão de Operação;
- Produto Ganho-Banda Passante;
- Aplicação.

A partir desses critérios foi possível estabelecer uma pontuação para selecionar os melhores equipamentos, chegando à melhor configuração para o projeto.

3.1.4 Figura de Ruído

Além do ganho desejado há a necessidade de analisar a figura de ruído imposta ao sinal. A Figura de Ruído de um componente é dada por

$$NF = SNR_{\text{entrada}} - SNR_{\text{saída}}, \quad (3.11)$$

onde todas as grandezas estão em dB. Essencialmente, a figura de ruído é uma medida de degradação da relação sinal-ruído (SNR – *Signal-to-noise ratio*). Na avaliação do desempenho do sistema projetado, os menores valores indicam o melhor desempenho (MOTCHENBACHER; CONNELLY, 1993).

Para uma amplificação ideal, o sistema com responsabilidade de amplificar, não deve acrescentar nada ao ruído térmico da fonte, onde a figura de ruído vai permanecer em 0 dB. Mas em componentes discretos esse formato ideal não pode ser estabelecido devido a uma série de variáveis, sendo assim a figura de ruído deve ser a mínima possível.

A figura de ruído pode ser calculada alternativamente a partir da equação 3.12:

$$NF = 10 \log_{10} \frac{E_{ni}^2}{E_{no}^2} = 10 \log_{10} \frac{E_{no}^2 + E_n^2 + I_n^2 R_o^2}{E_{no}^2}. \quad (3.12)$$

E_{ni} Fonte de Ruído de Entrada

E_{no} Fonte de Ruído de Saída

E_n Fonte de Ruído de Tensão dos terminais do amplificador operacional

I_n Fonte de Ruído de Corrente dos terminais do amplificador operacional

R_o Resistência de Saída

Esta equação mostra que a figura de ruído pode ser expressa como a razão entre o quadrado do ruído total de entrada pelo quadrado do ruído térmico da fonte. Essas fontes de ruído são inseridas no sistema podendo encontrar a figura de ruído.

Para o primeiro estágio de amplificação, que é feito a partir de um par diferencial, o cálculo da figura de ruído deve seguir aos seguintes passos (MOTCHENBACHER; CONNELLY, 1993):

Primeiro Passo: Inserir todas as fontes de ruído no estágio de amplificação. A figura 16 possui a mesma configuração do sistema expresso pela figura 11, há apenas a simplificação dos resistores R_3 e R_4 expressos por R_p que é a associação em paralelo desses resistores.

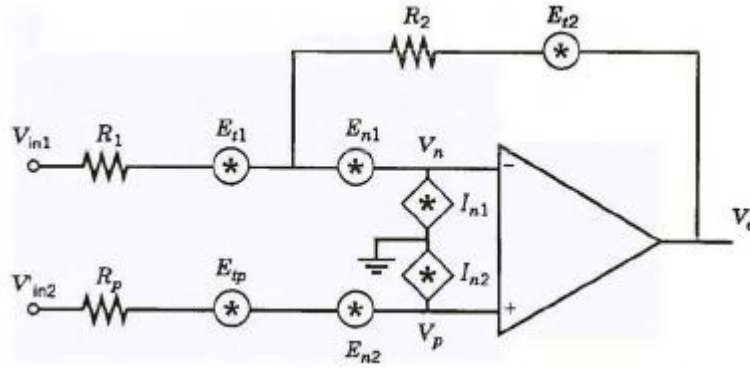


Figura 16 – Amplificador Diferencial com todas as fontes de ruído (MOTCHENBACHER; CONNELLY, 1993).

Segundo Passo: De posse das quatro equações de definição do circuito devemos encontrar a equação do ruído de saída equivalente:

$$V_o = A(V_+ - V_-) \quad (3.13)$$

$$V_+ = V'_{in2} + R_p I_2 + V_{rp} + V_2 \quad (3.14)$$

$$V_- = V_{in1} + R_1 I_{in} + V_{r1} + V_1 \quad (3.15)$$

$$V_{in1} = R_1 I_{in} + V_{tr1} = V_o + V_{t2} + R_2 (I_{in} + I_1). \quad (3.16)$$

Combinando e simplificando as quatro equações tem-se:

$$V_o \left(\frac{1}{A} + \frac{R_1}{R_1 + R_2} \right) = V'_{in2} - V_{in1} + V_2 - V_1 + V_{tp} - V_{t1} + R_p I_2 + \left(\frac{R_1}{R_1 + R_2} \right) (V_{in1} + V_{t1} - V_{t2} - R_2 I_1) \quad (3.17)$$

e, considerando um caso ideal em que o ganho (expresso por A) tende o infinito, a equação 3.17 fica:

$$V_o = \left(1 + \frac{R_2}{R_1}\right) (V'_{in2} + V_2 + V_{tp} + R_p I_2 V_1) - \frac{R_2}{R_1} (V_{in1} + V_{t1}) - V_{t2} - R_2 I_1. \quad (3.18)$$

A fim de facilitar a compreensão dos cálculos, as fontes de corrente e de tensão se equivalem às fontes de ruído. O ganho de saída será o mesmo para ambas as fontes com a mesma posição do circuito. Desta forma se emparelha as fontes de sinal e de ruído, modificando pelo equivalente quadrático do ruído de saída equivalente (equação 3.19):

$$E_{no}^2 = \left(1 + \frac{R_2}{R_1}\right)^2 (E_{n2}^2 + E_{tp}^2 + I_{n2}^2 R_p^2 + E_{n1}^2) + \left(\frac{R_2}{R_1}\right)^2 (E_{t1}^2) + E_{t2}^2 + I_{n1}^2 R_2^2 \quad (3.19)$$

Terceiro Passo: Encontrar E_{ni} para pares diferenciais. Ao iniciar o processo devemos escolher um terminal de entrada como referência, não importando qual das duas desde que a equação 3.2 seja satisfeita. Sob essa condição o ganho de tensão diferencial em qualquer terminal é R_2/R_1 .

Desta forma para encontrar E_{ni1} , devemos efetuar a razão entre E_{no}^2 (equação 3.19) por $\left(\frac{R_2}{R_1}\right)^2$ obtendo:

$$E_{ni1}^2 = \left(1 + \frac{R_1}{R_2}\right)^2 (E_{n2}^2 + E_{tp}^2 + E_{n1}^2) + I_{t2}^2 R_1^2 + E_{t1}^2 + I_{n1}^2 R_1^2 + I_{n2}^2 R_p^2 \left(1 + \frac{R_1}{R_2}\right)^2 \quad (3.20)$$

, onde

$$I_{t2}^2 R_1^2 = R_1^2 \frac{E_{t2}^2}{R_2^2}. \quad (3.21)$$

Para E_{ni2} , por ter feito o paralelo das resistências de entrada, a equação fica:

$$E_{ni2}^2 = (E_{n2}^2 + E_{tp}^2 + E_{n1}^2) + \left(\frac{R_1}{R_1 + R_2}\right)^2 (E_{t2}^2) + \left(\frac{R_2}{R_1 + R_2}\right)^2 (E_{t1}^2) + I_{n1}^2 (R_1 || R_2)^2 + I_{n2}^2 R_p^2. \quad (3.22)$$

Mas por ter as duas entradas iguais, os valores de E_{ni1} e E_{ni2} são os mesmos. Após manipulações matemáticas chegamos à:

$$E_{ni}^2 = \left(1 + \frac{R_1}{R_2}\right)^2 (E_{n2}^2 + E_{tp}^2 + E_{n1}^2) + \left(\frac{R_1}{R_2}\right)^2 (E_{t2}^2) + (E_{t1}^2) + I_{n1}^2 R_1^2 + I_{n2}^2 R_p^2 \left(1 + \frac{R_1}{R_2}\right)^2. \quad (3.23)$$

Quarto Passo: Encontrar a figura de ruído

A figura de ruído é expressa por:

$$NF = \frac{E_{ni}^2}{E_{no}^2}. \quad (3.24)$$

Para o segundo e terceiro estágios de amplificação a análise da figura de ruído deve seguir os seguintes passos:

Primeiro Passo: Inserir as fontes de ruído presentes nos sistema (figura 17).

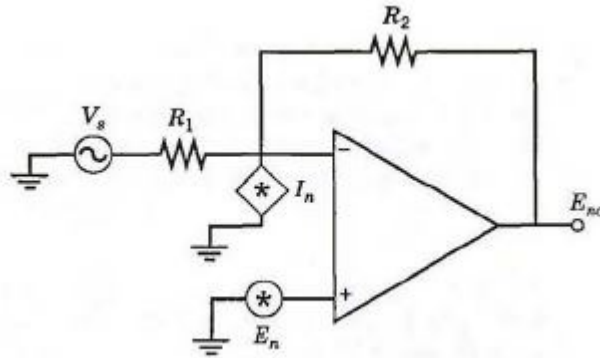


Figura 17 – Amplificador Inversor com todas as fontes de ruído (MOTCHENBACHER; CONNELLY, 1993).

Segundo Passo: Por ser uma configuração mais simples a única fonte de ruído a ser considerada é a tensão de ruído de saída, negligenciando o ruído térmico das resistências. Desta forma o que há a ser feito é encontrar o valor de E_{no}^2 (equação 3.25) (MOTCHENBACHER; CONNELLY, 1993).

$$E_{no}^2 = \left(1 + \frac{R_2}{R_1}\right)^2 E_n^2 + R_2^2 I_n^2 \quad (3.25)$$

3.2 Conversor A/D

Com a principal função de converter um sinal analógico para digital, o conversor A/D a ser empregado no sistema, deve conter algumas características para serem incorporados ao projeto. Dentre esses pontos a serem analisados estão:

- Taxa de Amostragem;
- Número de Bits;
- Número de Entradas;

- Conversor de Baixo Ruído;
- Entrada Assimétrica;

Essas características são apresentadas com diferentes configurações e cada conversor tem as suas singularidades, desta forma a escolha irá se basear na necessidade do sistema, onde todas as características do componente serão pontuadas de acordo com a proximidade dos valores a serem utilizados no projeto.

Um dos critérios que possui grande importância para a escolha é a taxa de processamento do conversor, que está ligada diretamente ao tempo de processamento da informação pelo sistema. Por necessitar de um tempo de operação menor há a busca por componente com uma maior taxa de processamento. Com isso a pontuação para a escolha deste critério irá se basear em uma menor potenciação para o que apresentar menor taxa e pontuando gradativamente até o conversor com maior taxa.

Outro ponto que tem influência neste projeto é o numero de entradas do conversor, pois a recepção geralmente é feita por três antenas nos eixos X, Y e Z. Medição feita para caracterizar o ruído nos três eixos buscando uma maior precisão, o que justifica a necessidade de um conversor com mais de uma entrada e evitando o consumo de mais de um equipamento, diminuindo o custo do projeto.

Para o conversor procurado para esse projeto, além dos pontos abordados acima, deve-se levar em consideração os equipamentos que irão inserir o menor número de ruído no sistema, contribuindo no final com a menor figura de ruído possível, evitando assim que o sinal perca a informação transmitida.

O número de bits tem influência direta para a resolução do conversor e ao mesmo tempo evita erros de quantização. O número de bits vai definir o sequenciamento lógico para os diversos níveis de tensão, desta forma o projeto busca um conversor com um maior número de bits.

As entradas assimétricas também são desejadas para a utilização desse conversor. Essa característica é para que não seja necessário ser feito ajustes na onda de entrada do conversor, por ser uma onda analógica ele possui tensões que estão entre ± 10 V. A entrada assimétrica aceita todos esses níveis de tensão.

3.3 Ferramenta de Simulação

Para que fossem elaborados testes, deveriam ser utilizadas ferramentas de simulação do circuito, principalmente do LNA. Esses testes têm como finalidade validar o projeto, analisando o bom funcionamento do circuito, verificando se o ganho foi atingido

pelo LNA e o valor da figura de ruído imposta pelo sistema. Com essa avaliação o sistema poderá ser projetado para uma placa.

A plataforma utilizada para as simulações foi o LTspice®, ferramenta de alto desempenho para a elaboração de esquemáticos eletrônicos e realização de testes por meio de simulações. Além de uma alta gama de componentes disponíveis no software. O LNA projetado (figura 14) deve atender aos requisitos abaixo:

- Ganho igual ou superior a 120 dB;
- Menor ruído inserido no sinal (Abaixo de $50 \text{ nV}/\sqrt{\text{Hz}}$);
- Tensão de saída 10 Vpp;
- Figura de ruído baixa (Abaixo de 15 dB);

Para comprovar esses indicadores desejados deverão ser feitas uma série de simulações. Dentre as desejadas estão: simulações analógicas que irão apresentar o ganho de cada estágio do sistema em magnitude e fase, simulações digitais que apresentam a tensão amplificada por todos os estágios e por último serão realizadas as simulações de ruído, que demonstra o ruído aplicado pelo sistema no sinal identificando os componentes ruidosos e ao mesmo tempo avaliando a condição de sinal ruído a partir da figura de ruído.

A partir das simulações poderão ser elaborados os resultados apresentados pelo sistema, observando os pontos de fragilidade do sistema, os pontos fortes, o valor ideal para os componentes, além dos pontos que podem variar de acordo com cada projeto.

4 Resultados

Este tópico irá apresentar os resultados encontrados com a configuração proposta teoricamente e os possíveis ajustes para a construção do *Front-End* de recepção. Dentre os pontos a serem discutidos estão a escolha dos componentes e os resultados encontrados com a configuração desejada. Este tópico será dividido em duas etapas: a primeira na escolha dos componentes e a segunda os resultados encontrados.

4.1 Escolha dos Componentes

Este processo tem por base uma escolha de componentes a partir de uma análise comparativa da documentação técnica entre três componentes similares por meio de pontuação. Esta pontuação é atribuída de acordo com as características desejadas no projeto, sendo a maior para o sistema que mais se aproxima ao desejado e a menor para o que mais distancia.

O formato de escolha por meio de pontuação contribui para a escolha do melhor componente, permite visualizar os pontos de deficiência do componente e os possíveis ajustes necessários a serem empregados para o melhor funcionamento do projeto.

Neste projeto os componentes críticos a serem escolhidos serão o amplificador de baixo ruído do primeiro estágio de amplificação e o conversor A/D. Os outros componentes a serem empregados no sistema não possuem influência significativa no funcionamento do sistema.

4.1.1 LNA (Amplificador de baixo ruído)

O amplificador do primeiro estágio de amplificação do sistema necessita atender algumas especificações para que possa ser aplicado no sistema, são elas:

Tabela 1 – Características do Desejadas para o Amplificador de Baixo Ruído

Pontos de Análise	Resultados Esperados
Ruído de Tensão	$0,70 \text{ nV}/\sqrt{\text{Hz}}$
Tensão de Operação	$\pm 20 \text{ V}$
Produto Ganho Banda	70 MHz Min
Slew Rate	$15 \frac{\text{V}}{\mu\text{s}}$

Desta forma foi elaborada uma triagem de componentes buscando o que mais se adequa com as características desejadas para o sistema chegando aos três componentes:

LT1028 - Amplificador Operacional de baixo ruído de alta precisão com alta performance esse componente realiza as operações rapidamente e não possui distorção na saída.

LT1115 - Amplificador Operacional de baixo ruído, com alta precisão combinada com um alto valor de *Slew Rate* e baixa distorção.

LT1677 - Amplificador Operacional de baixo ruído para a utilização *Rail-to-Rail*, desta forma ele amplifica o sinal entre as tensões de entrada.

Os critérios de pontuação vão ser:

- 2 pontos: Componentes que mais se aproximam da característica esperada;
- 1 ponto : Componentes que se aproximam do valor esperado mas não é o melhor;
- 0 ponto: Componente que detém a característica que mais se distancia da desejada.

Tabela 2 – Pontuação dos Amplificadores Operacionais

	LT1028	LT1115	LT1677
Ruído de Tensão	2	1	0
Tensão de Operação	1	2	0
Produto Ganho Banda	2	1	0
Slew Rate	2	1	0
Total	7	5	0

A partir da análise feita da documentação técnica, presente no anexo deste trabalho, chegamos ao amplificador operacional LT1028, equipamento que mais se aproxima das características desejadas, perdendo apenas no quesito de tensão de operação, sendo superado pelo LT1115. Caso o amplificador LT1028 não seja encontrado é recomendada a utilização do amplificador LT1115, pois este equipamento possui características próximas às desejadas, não superando o LT1028 por valores muito pequenos.

Para os demais estágios de amplificação serão utilizados os amplificadores operacionais LT1001, como esses estágios de amplificação não necessitam de utilização de amplificadores de baixo ruído, foram utilizados amplificadores de bom desempenho.

4.1.2 Conversor A/D

O conversor A/D tem como papel efetuar a conversão do sinal analógico proveniente da antena e amplificado para o formato digital, para processamento do sinal em um microprocessador. Sendo assim as características desejadas para o componente são:

Para os conversores A/D vão existir dois critérios de pontuação, o primeiro critério vai de acordo com a proximidade do valor esperado como feito no item anterior. O segundo

Tabela 3 – Características do Desejadas para o Conversor A/D

Pontos de Análise	Resultados Esperados
Taxa de processamento	$N > 50\text{kSPS}$
Número de bits	32
Número de Entradas	$N > 3$
Potência	124 mW
Entrada Diferencial	Sim
Entrada Assimétrica	Sim
Conversor de Baixo Ruído	Sim

era pontuar apenas se o conversor possui a característica ou não. Desta forma os critérios são:

Primeiro Critério de Pontuação:

- 2 pontos: Componentes que mais se aproximam da característica esperada;
- 1 ponto : Componentes que se aproximam do valor esperado mas não é o melhor;
- 0 ponto: Componente que detém a característica que mais se distancia da desejada.

Esse primeiro critério de pontuação vai ser aplicado:

- taxa de processamento;
- número de bits;
- número de entradas;
- potência.

Segundo Critério de Pontuação:

- 1 ponto: Componentes que possuem a característica desejada;
- 0 ponto : Componentes que não possuem a característica desejada.

Esse segundo critério de pontuação vai ser aplicado:

- entrada diferencial;
- entrada assimétrica;
- conversor de baixo ruído.

Para a escolha dos três possíveis conversores A/D a principal característica entre eles é serem de baixo ruído, além de possuírem uma alta taxa de processamento. Chegando assim aos seguintes componentes:

ADS1258 - Conversor de 16 canais(multiplexados) de baixo ruído, com 24 bits de conversão analógica digital sigma-delta, com uma taxa de processamento por volta de 23,7 kSPS.

ADS1262 - Conversor de baixo ruído com uma taxa de processamento em 38 kSPS, com 11 entrada, conversor de alta acurácia com 32 bits de conversão analógica digital sigma-delta.

ADS8507 - Conversor de baixa potência e baixo ruído com uma taxa de processamento de 40kSPS, uma entrada diferencial com 16 bits de conversão analógica digital. Sistema que opera com um sinal analógico entre $\pm 25V$

Tabela 4 – Pontuação dos Componentes

	ADS1258	ADS1262	ADS8507
Taxa de processamento	0	1	2
Número de bits	1	2	1
Número de Entradas	1	2	0
Potência	1	0	2
Entrada Diferencial	1	1	1
Entrada Assimétrica	0	0	1
Conversor de Baixo Ruído	1	1	1
Total	5	7	8

Com base na documentação técnica, o conversor que mais se adequou às necessidades do projeto foi o ADS8507, por ser o conversor com a maior taxa de processamento e que irá executar o processamento no menor tempo possível. Outro ponto de grande destaque deste componente é a sua entrada assimétrica, que possibilita trabalhar com o sinal analógico na faixa entre $\pm 10V$. A desvantagem desse componente é conter apenas uma entrada, portanto, para a utilização das antenas nos três eixos, será necessário projetar a placa do sistema com mais de um conversor ou utilizar outro conversor.

O componente que ficou em segundo também pode ser utilizado no sistema, havendo apenas a necessidade de ajuste no circuito do LNA, para que todo o ganho esteja positivo, pois o componente ADS1262 não possui entrada assimétrica, não podendo assim receber a faixa de tensão entre $\pm 10V$. Esse ajuste pode ser feito com mais um estágio de amplificação que tem como função a inversão do sinal. Componente que pode substituir o ganhador caso haja a necessidade de se utilizar mais de uma antena para a medição de ruído.

4.2 Resultados de Simulação

Com a escolha dos componentes a serem empregados no sistema foi realizada as simulações para observar o funcionamento do circuito projetado. As simulações desejadas para uma boa avaliação do sistema são do ganho em fase e magnitude, figura de ruído e análise do ruído imposto pelo circuito. Ao mesmo tempo o circuito final é modelado para a criação da placa de circuito impresso.

4.2.1 LNA com três estágios de amplificação

Por meio de modelamento matemático foi possível encontrar a composição que mais se aproxima do LNA ideal (Figura 18). O circuito é dividido em quatro estágios:

- Modelo equivalente de circuito para a antena de recepção 19(a),
- Primeiro estágio de amplificação 19(b),
- Segundo estágio de amplificação 19(c),
- Terceiro estágio de amplificação 19(d).

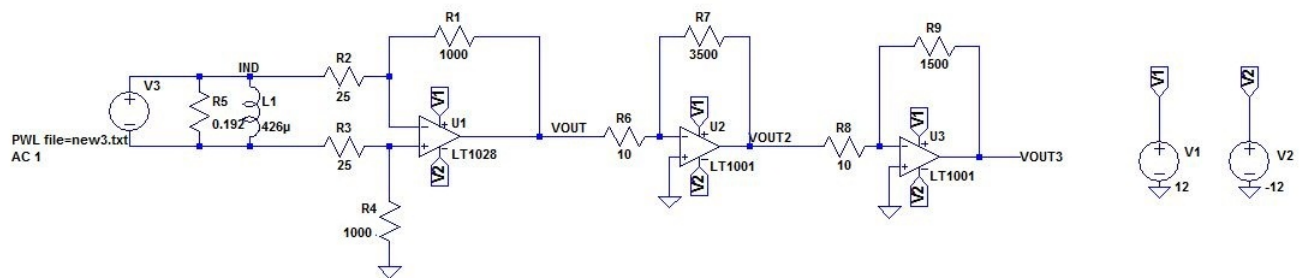


Figura 18 – Esquemático do Amplificador de Baixo Ruído(LNA) com três estágios.

O sinal coletado pela antena é representado no projeto por meio de um circuito composto por uma fonte que fornece o sinal a ser amplificado, uma resistência e um indutor que representam as perdas da antena 19(a). No *software* é possível inserir sinais externos, no caso desse projeto foi elaborado um arquivo texto com medições feitas ao longo de um período determinado, sendo possível realizar esse processo por meio da ferramenta PWL presente nas fontes na lista de componentes do LTspice®. Esse arquivo foi elaborado a

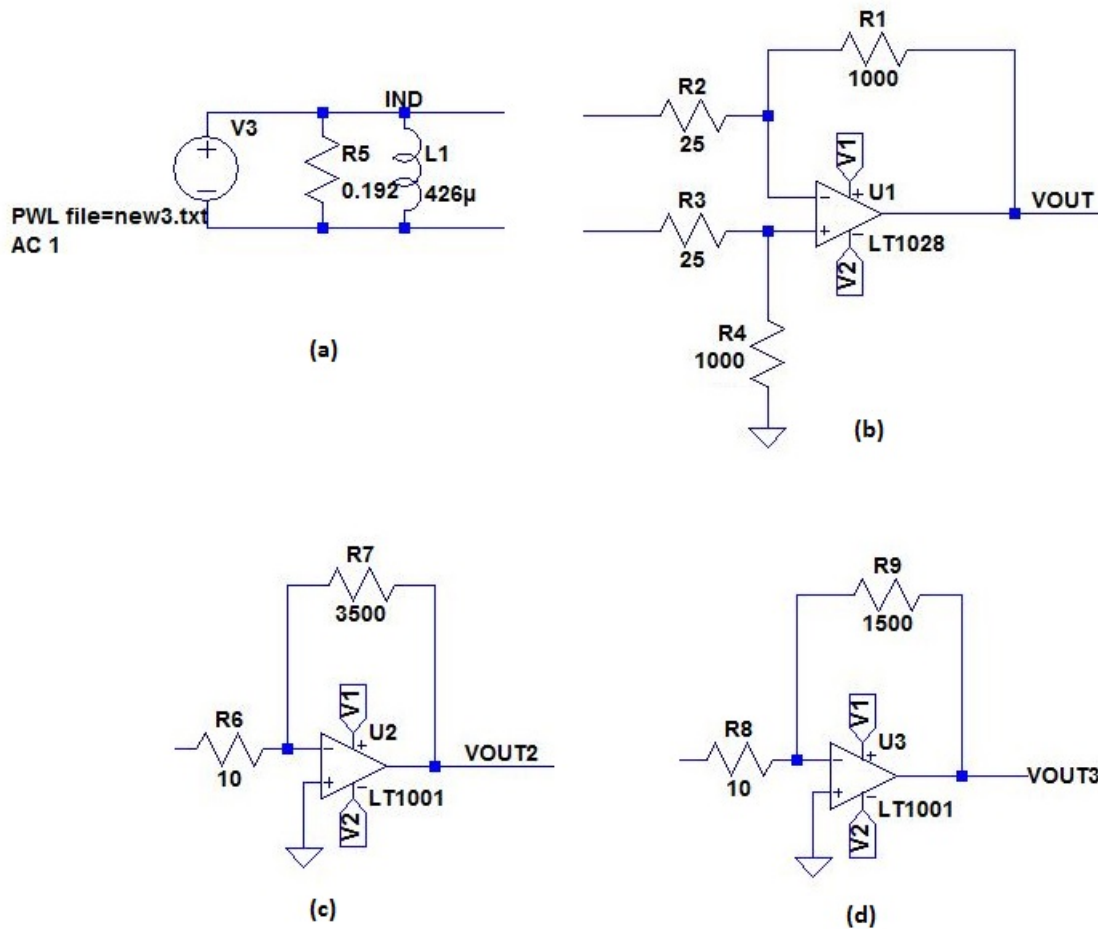


Figura 19 – Amplificador de baixo ruído; (a) Antena; (b) Primeiro Estágio de Amplificação; (c) Segundo Estágio de Amplificação; (d) Terceiro Estágio de Amplificação.

partir de medições de campo, material esse que foi fornecido pelo professor. Com ele foi possível modelar o sinal para que as simulações fossem feitas com a utilização de um sinal real. No sistema que representa a antena do sistema.

As perdas provenientes da resistência e do indutor foram obtidas experimentalmente em laboratório e cedidas para este estudo, chegando a valores próximos aos usados em projetos da área. Os valores usados são $0,192\Omega$ para a resistência e $426\mu H$ para o indutor. Essas perdas representam o quanto de sinal que vai ser perdido pela antena ao ser recepcionado. O modelo de antena inserido no circuito foi elaborado pelo grupo de pesquisa em que o professor participa (MENDES,).

Outro ponto de destaque nas simulações é a frequência de corte a ser utilizada que é de 100 kHz , frequência escolhida devido à necessidade da utilização de baixas frequências em lavras subterrâneas. E a melhor faixa de operação está por volta de 30 a 50 kHz .

4.2.1.1 Simulação de Ganho

A primeira simulação elaborada verificou se o sistema completo atinge o ganho acima de 120 dB. Para realizar essa simulação no LTspice® é necessário realizar uma simulação analógica do sistema. Para a simulação é necessário definir o número de pontos por amostra (1000 amostras) e o intervalo frequência definido entre 1 e 100 GHz. Obtemos assim o ganho em fase e magnitude para os três estágios.

O primeiro estágio atingiu o ganho acima de 40 dB como pode ser visto no gráfico (Figura 20) e a fase em 180 (Figura 21).



Figura 20 – Diagrama de Bode do primeiro estágio de amplificação em magnitude.



Figura 21 – Diagrama de Bode do primeiro estágio de amplificação em fase.

O segundo estágio de amplificação atingiu ganhos próximos a 50 dB, graficamente é apresentado 90 dB (Figura 22), pois o ganho do segundo estágio é o somatório dele e do primeiro estágio de amplificação. Isso ocorre porque os dois amplificadores estão em cascata. A fase do sistema está em 0 (Figura 23).

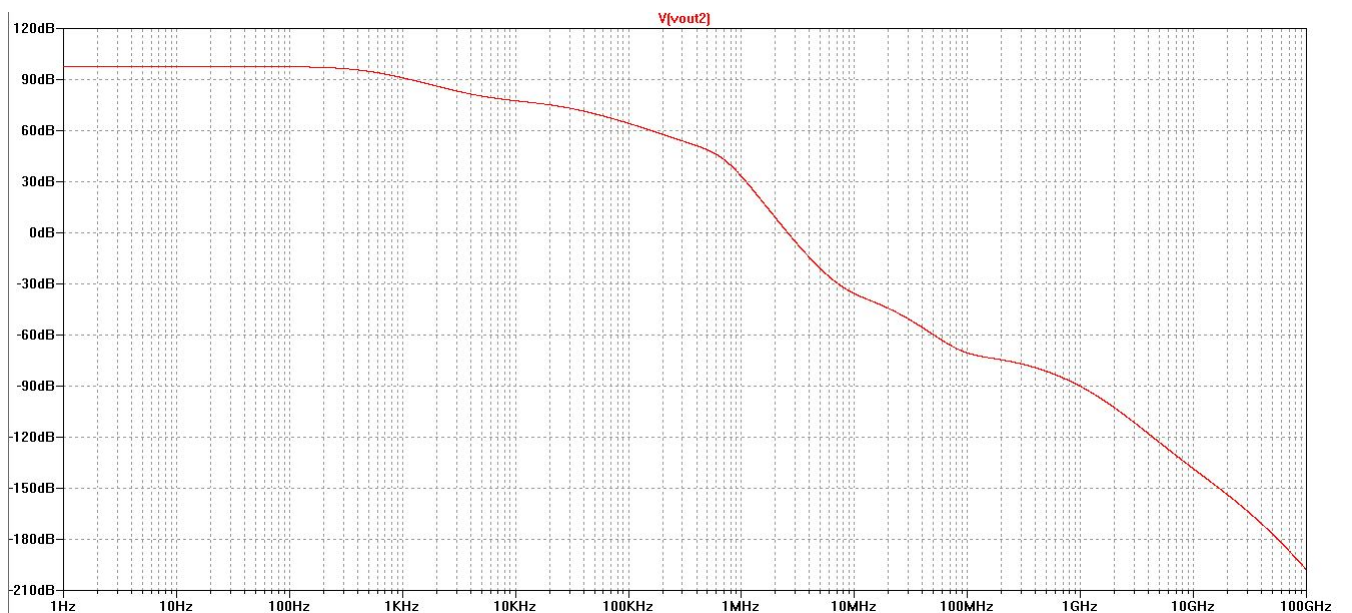


Figura 22 – Diagrama de Bode do segundo estágio de amplificação em magnitude.



Figura 23 – Diagrama de Bode do segundo estágio de amplificação em fase.

Com a finalidade de apenas complementar o ganho necessário, o terceiro estágio possui um ganho de cerca de 40 dB. Gráficamente é apresentado 120 dB (Figura 24), mas como o sistema está em cascata o último estágio consiste no somatório dos três ganhos. A fase do sistema está em 180 (Figura 25).

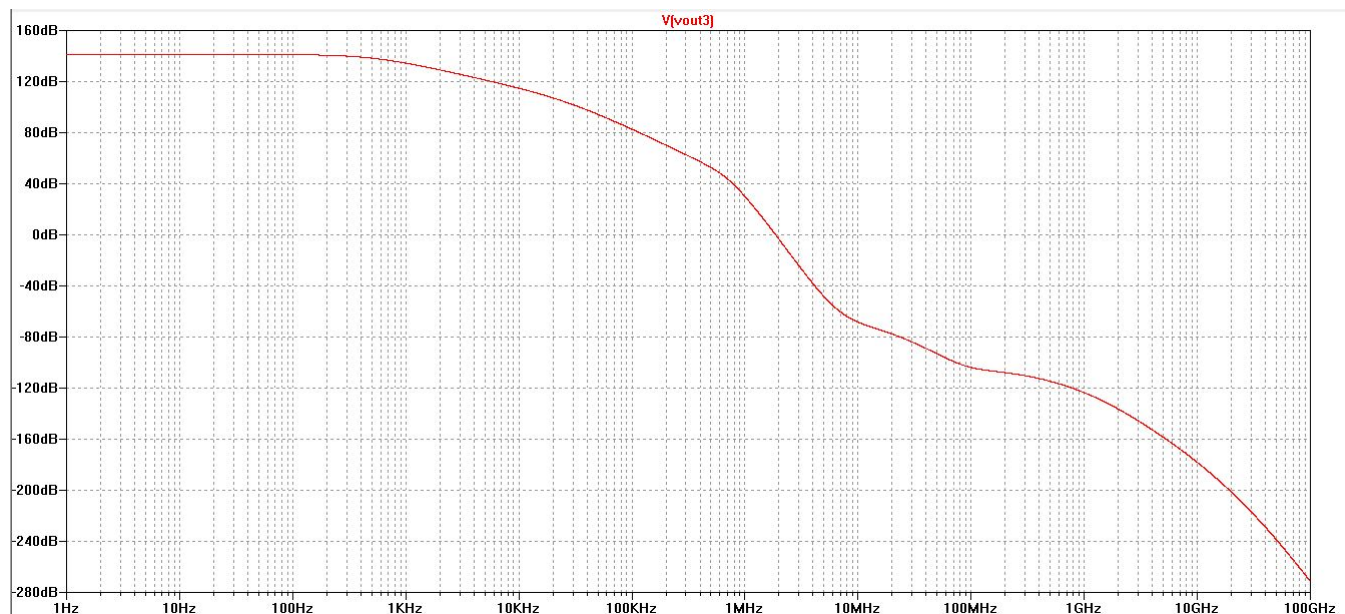


Figura 24 – Diagrama de Bode do terceiro estágio de amplificação em magnitude.



Figura 25 – Diagrama de Bode terceiro estágio de amplificação em fase.

Com as simulações é possível ver que o ganho calculado teoricamente é atingido no sistema simulado, chegando a 120 dB de magnitude e 180 de fase. Desta forma é possível visualizar o ganho quando comparado o sinal de entrada (Figura 26) com o de saída (Figura 27) quando inserido uma onda senoidal. Outra forma de visualizar esse ganho é a partir da figura

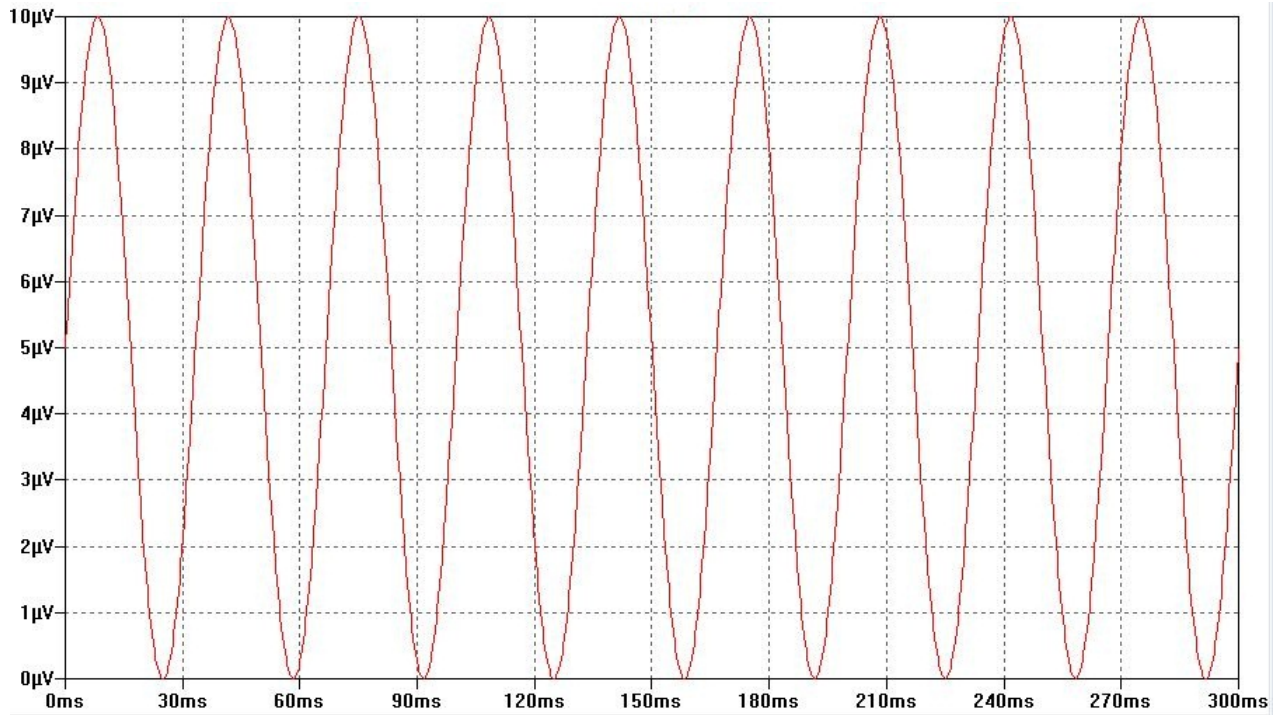


Figura 26 – Sinal senoidal recebido pelo sistema.

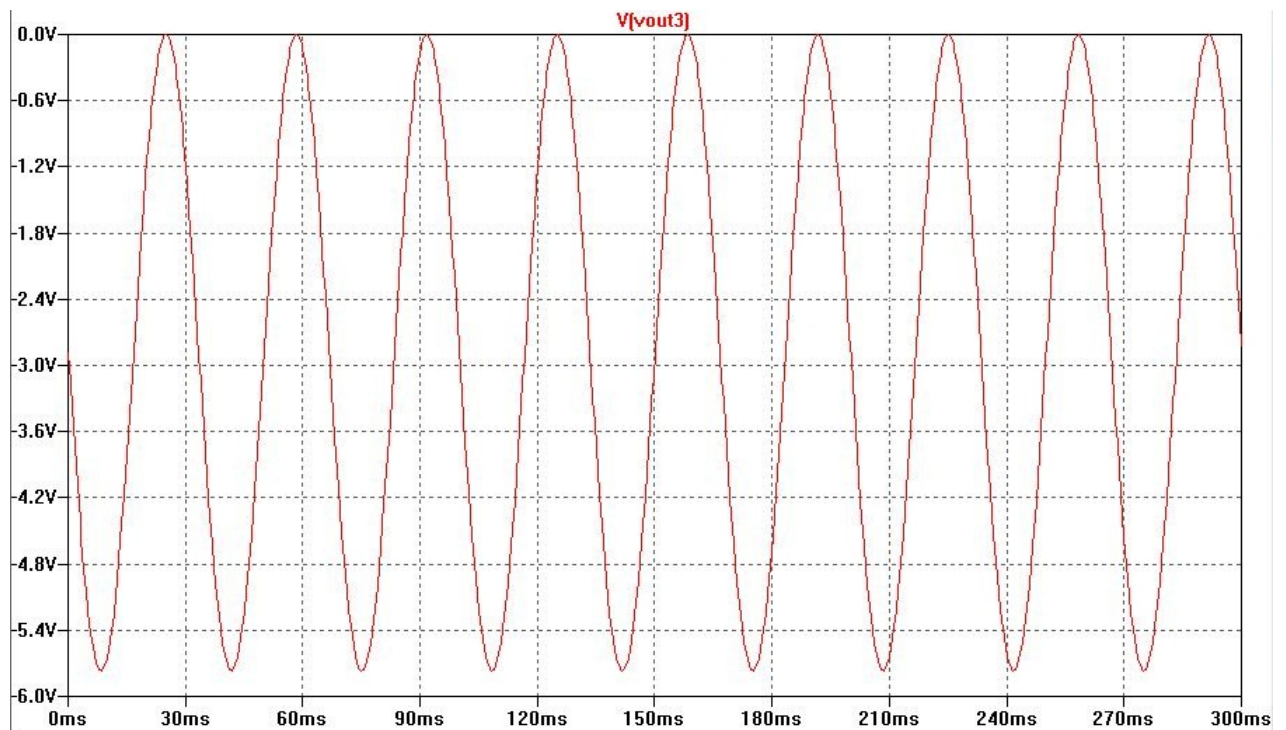


Figura 27 – Sinal senoidal amplificado pelo LNA.

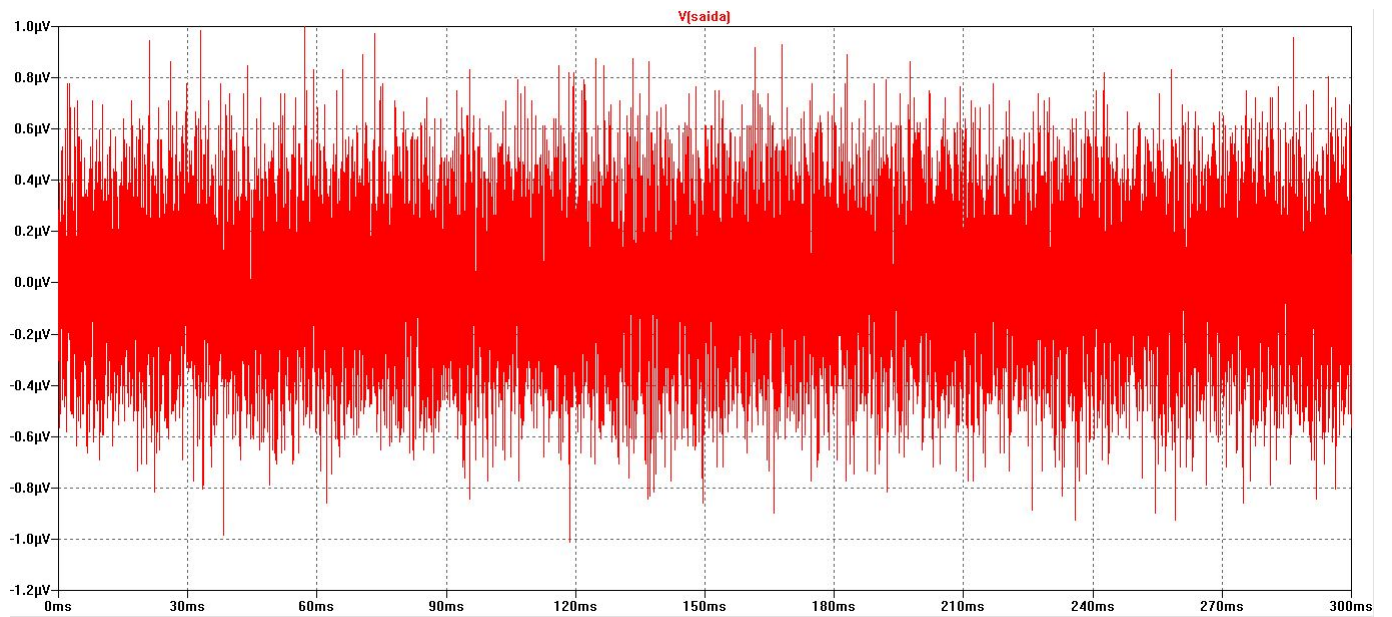


Figura 28 – Sinal de campo recebido pelo sistema.

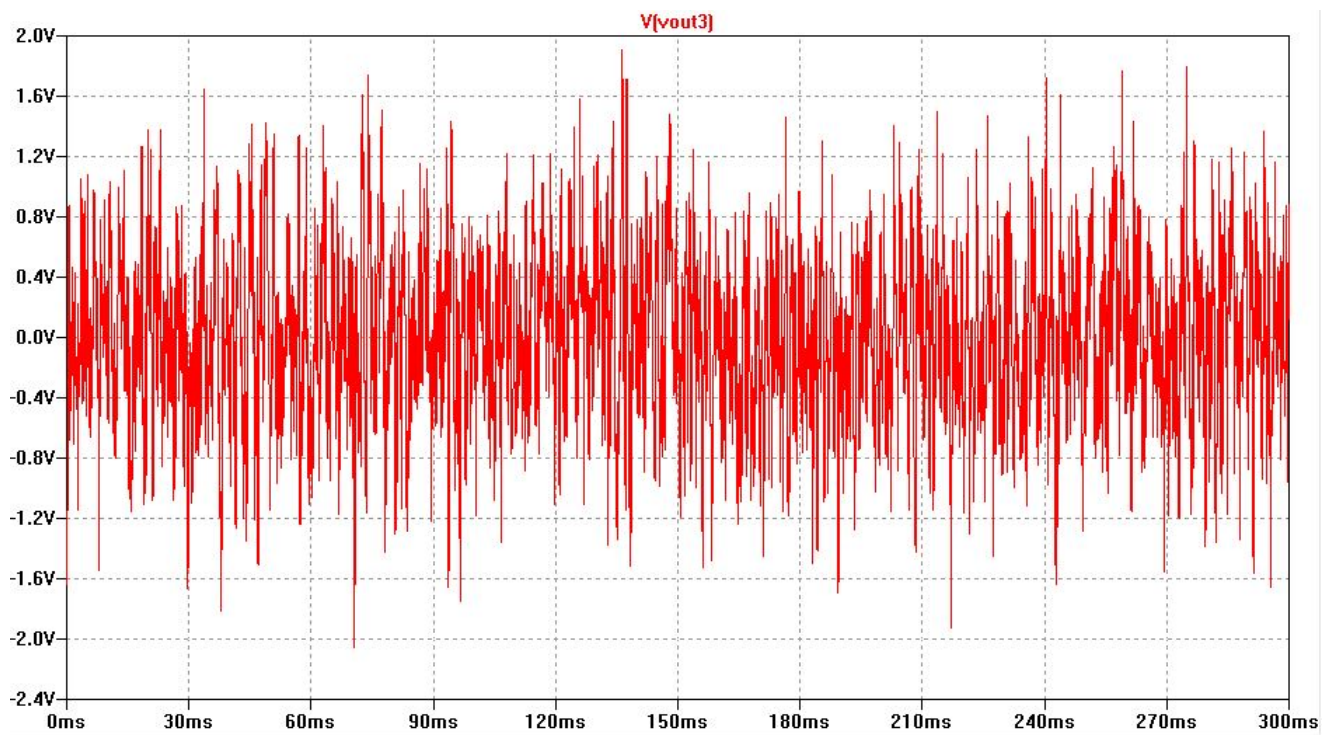


Figura 29 – Sinal de campo amplificado pelo LNA.

4.2.1.2 Simulação de Ruído

Com a ferramenta de simulação de ruído presente no software, é possível realizar simulações do ruído, o que demonstra o quanto o sinal pode sofrer com interferência do ruído proveniente do sistema. Dentre as possíveis simulação serão realizadas: simulação de ruído gerado pelo circuito, as piores fontes de ruído, além da figura de ruído, análise que tem como principal função avaliar o desempenho do circuito e as possíveis perdas de sinal.

Para realização da simulação ruído no *software*, na aba de simulação devemos abrir a edição de simulação cmd (No *software* : Edit Simulation Cmd) e escolher a função NOISE. Ao entrar na página de configuração da simulação é necessário definir a saída do sistema (VOUT3), a fonte que no caso desse sistema é a antena representada por V3, o número de pontos por amostra (1000 amostras) e a frequência em que vai ser analisado o sistema que foi de 1 a 10 MHz.

O primeiro gráfico a ser simulado demonstra o ruído gerado pelo circuito (Figura 30). No gráfico é possível visualizar que o sistema produziu $30\text{ mV}/\sqrt{\text{Hz}}$, valor esse ligado diretamente às maiores fontes de ruído presentes no sistema.

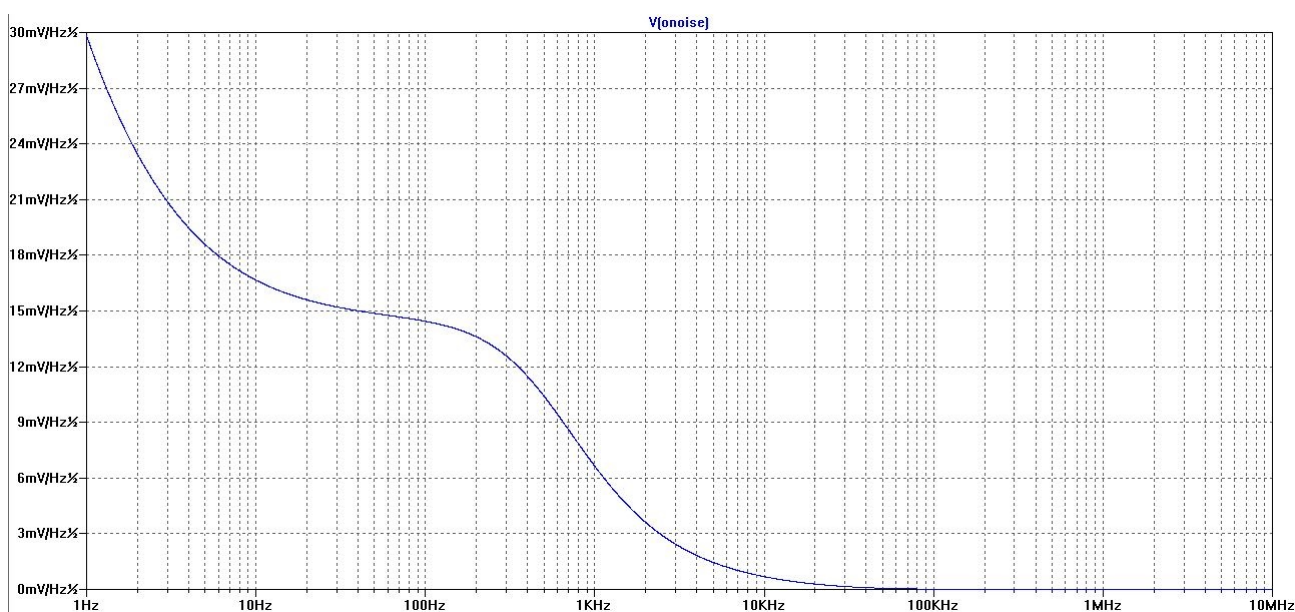


Figura 30 – Ruído proveniente do circuito.

Com a utilização do amplificador operacional de baixo ruído de alta precisão, equipamento que não exerce grande influência no ruído gerado, sobram como principais fontes de ruído do sistema os resistores, elementos que possuem o ruído térmico (ruído gerado através da agitação térmica das cargas) associado ao componente. Com o auxílio

da ferramenta de simulação foi possível encontrar os resistores que influenciam de forma significativa o ruído do sistema. As principais fontes de ruído do circuito são as resistências R2 e R3, resistores presentes na entrada do primeiro estágio de amplificação.

Resistores geram cerca $07 \text{ mV}/\sqrt{\text{Hz}}$ cada, como pode ser visto no gráfico (Figura 31), somados representam metade do ruído de todo o sistema. Uma possibilidade de redução desse ruído presente nos resistores é a utilização de resistores de filme fino, resistores de alta precisão com baixo ruído. Esses resistores possuem um ruído menor que os outros por ele possui apenas ruído térmico não havendo a presença de outros ruídos. Há vários dispositivos presentes no mercado com diversos valores de resistência. Hoje no mercado é possível encontrar resistores de 1 a $10\text{M}\Omega$

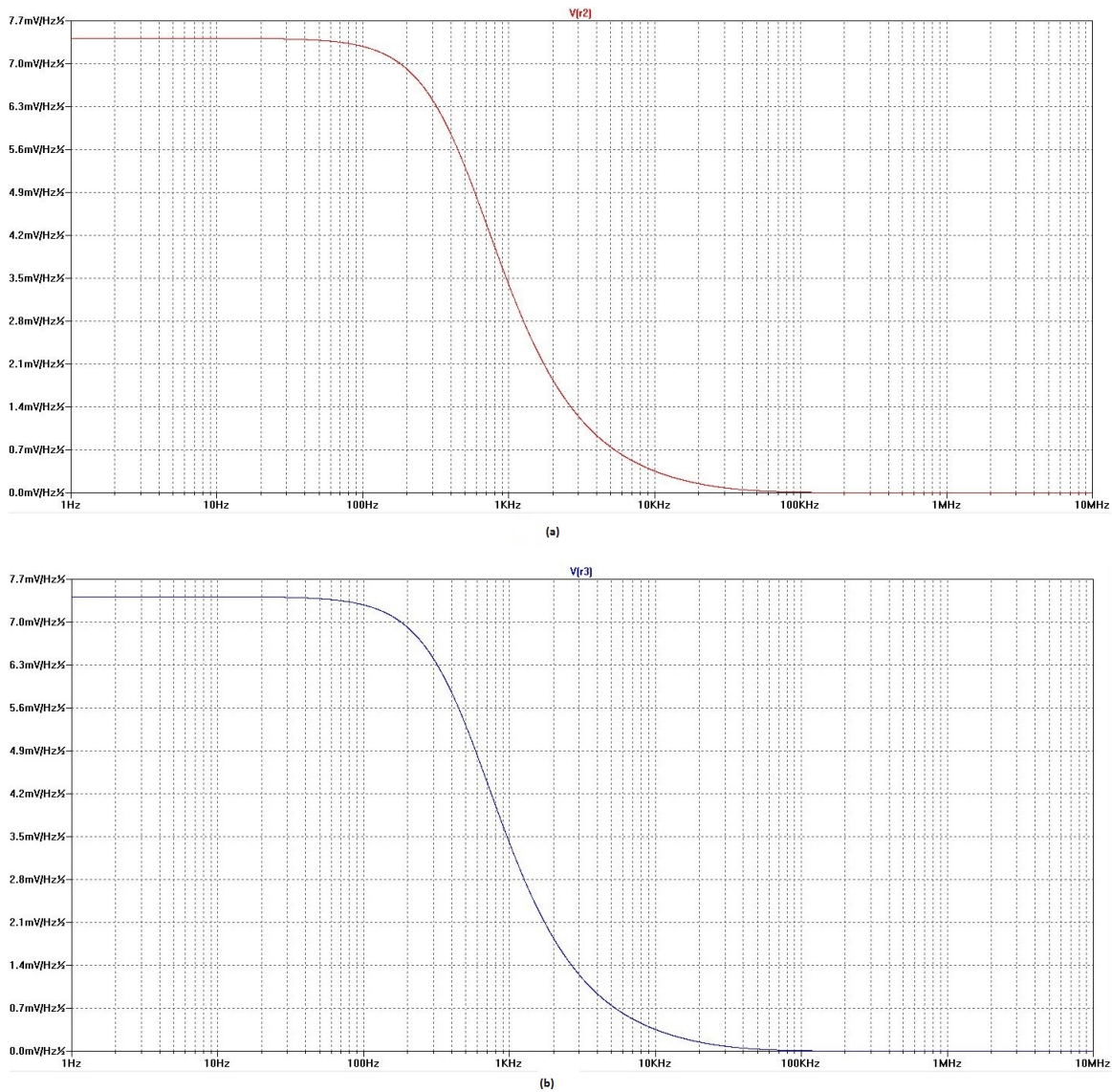


Figura 31 – Componentes mais ruidosos do sistema; (a) Resistor R2; (b) Resistor R3.

O emprego desses resistores tende a diminuir o ruído imposto ao sistema, o que irá contribuir diretamente com a figura de ruído global do projeto, demonstrando melhor desempenho. Com toda análise feita em cima do ruído empregado pelo circuito, restou apenas avaliar o desempenho da relação sinal ruído por meio da figura de ruído.

Para a realização desta simulação é necessário realizar algumas etapas de configuração. A primeira é a criação de um arquivo de plotagem, feito a partir da criação de um arquivo de texto. No arquivo texto é necessário inserir o seguinte comando:

$$.func NF(0.193) 10*log10(V(inoise)*V(inoise)/(4*k*300*0.193)) \quad (4.1)$$

Função que calcula a figura de ruído por meio da combinação de variáveis e, dentre essas variáveis, estão presentes o ruído de entrada, a temperatura ambiente representada em kelvins e a resistência de entrada da fonte. Esse arquivo texto deve ser salvo na pasta do LTspice®, presente no computador com a denominação plot.defs.

Com essa primeira etapa concluída pode ser reaberto o software com o circuito e efetuar a mesma simulação de ruído configurada anteriormente, e realizar a última etapa que é apresentar o gráfico, a partir do comando NF(0.193).

Para o sistema ideal a figura de ruído simulada está próximo de 33 dB, como demonstrada no gráfico (Figura 32). Também é apresentado no gráfico um pico próximo a 500 kHz, comportamento esse concebido pelo baixo valor de ganho a frequências altas. Demonstrando que a relação sinal ruído é afetada, mas isso não se dá pelo alto valor de ruído e sim pelo sinal que é muito baixo. Além de estar fora da frequência de atuação que está por volta de 30 kHz.

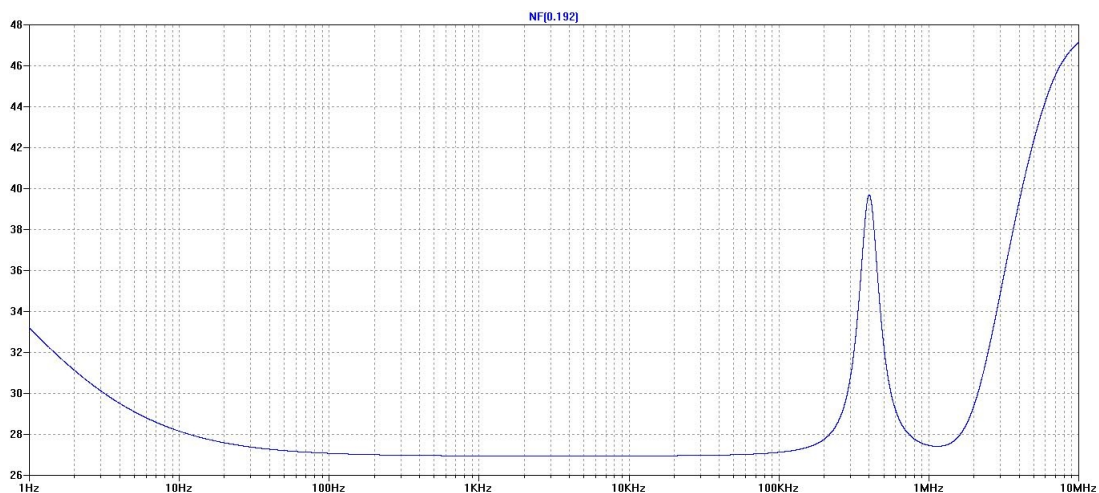


Figura 32 – Figura de Ruído do sistema projetado.

A partir da análise temos os resultados do circuito projetado teoricamente. O sistema apresentou o ganho conforme o projetado, o ruído gerado pelo sistema apresentou níveis satisfatórios e a figura de ruído apresentou valores altos.

4.2.2 LNA com dois estágios de amplificação

Na primeira simulação efetuada o circuito LNA possuía apenas dois estágios de amplificação (Figura 33), sistema projetado para atender as características exigidas pelo sistema. Apresentou ruído proveniente do circuito baixo, em cerca de $3 \text{ mV}/\sqrt{\text{Hz}}$. Em contrapartida seus resultados de figura de ruído e ganho apresentaram valores piores quando comparados com o sistema de três estágios. A tabela 5 apresenta um quadro comparativo entre os dois sistemas.

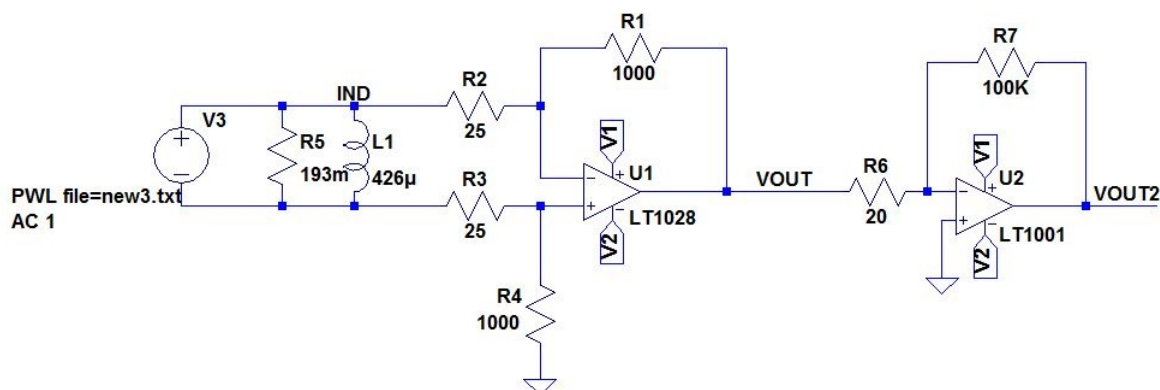


Figura 33 – Esquemático do Amplificador de Baixo Ruído(LNA) com dois estágios.

Tabela 5 – Quadro comparativo

	LNA com dois estágios	LNA com três estágios
Ganho em 30 kHz	76 dB	102 dB
Figura de Ruído Global	34 dB $\pm 6\text{dB}^*$	33 dB $\pm 6\text{dB}^*$
Ruído Proveniente do Circuito	$3 \text{ mV}/\sqrt{\text{Hz}}$	$30 \text{ mV}/\sqrt{\text{Hz}}$
Ruído R2	$0,7 \text{ mV}/\sqrt{\text{Hz}}$	$7 \text{ mV}/\sqrt{\text{Hz}}$ $\frac{\text{V}}{\mu\text{s}}$
Ruído R3	$0,7 \text{ mV}/\sqrt{\text{Hz}}$	$7 \text{ mV}/\sqrt{\text{Hz}}$ $\frac{\text{V}}{\mu\text{s}}$

*Variação da Figura de Ruído que pode ser na construção do protótipo.

Dentre os principais motivos para a escolha do LNA com três estágios foi o ganho, pois há uma diferença de mais de 20 dB de ganho entre os dois sistemas projetados na faixa de frequência transmitidas em minas. Outra característica que coloca em vantagem o projeto com três estágios é a figura ruído, onde no projeto com dois estágios deveria ter menor figura de ruído por possuir menos fontes ruidosas. Em contrapartida a esse preceito o sistema atinge a valores superiores devido às altas resistências necessárias para atingir o ganho desejado.

Com esses pontos desfavoráveis o sistema com dois estágios de amplificação se torna inviável para o projeto e ao mesmo tempo justifica a montagem do circuito com três estágios de amplificação.

4.2.3 Simulações de Ajuste

Na segunda etapa as simulações buscam um refinamento do sistema proposto visando um melhor desempenho, além de justificar a configuração proposta pelo projeto. A primeira simulação a ser realizada é feita com a variação da resistência do primeiro estágio de ganho.

Essa simulação foi elaborada buscando encontrar o melhor valor para as resistências de entradas do circuito do primeiro estágio de amplificação. Desta forma para que o resistor possua um melhor desempenho ele deve elevar o ganho do estágio e ao mesmo tempo contribuir com o menor ruído possível.

Para a realização dessa simulação devemos variar a resistência, no intervalo entre 1 e 50Ω , valores que apresentam ganhos similares aos teóricos. Para realizar essa variação no LTspice®. é necessário utilizar a ferramenta de edição de texto no esquemático, configurando no modo SPICE Directive e inserido os seguintes comandos:

```
.step param R 1 50 5
```

```
.op
```

Determinando que o resistor R_2 (Figura 34) varie de 1 a 50Ω em intervalos de cinco unidades.

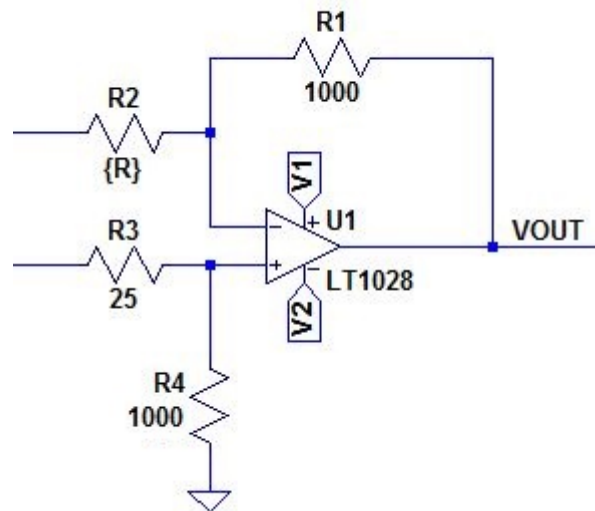


Figura 34 – Esquemático do Primeiro Estágio de Amplificação.

Com o emprego da variação da resistência deve ser elaborada novamente as mesmas simulações realizadas anteriormente.

Simulação do ganho:

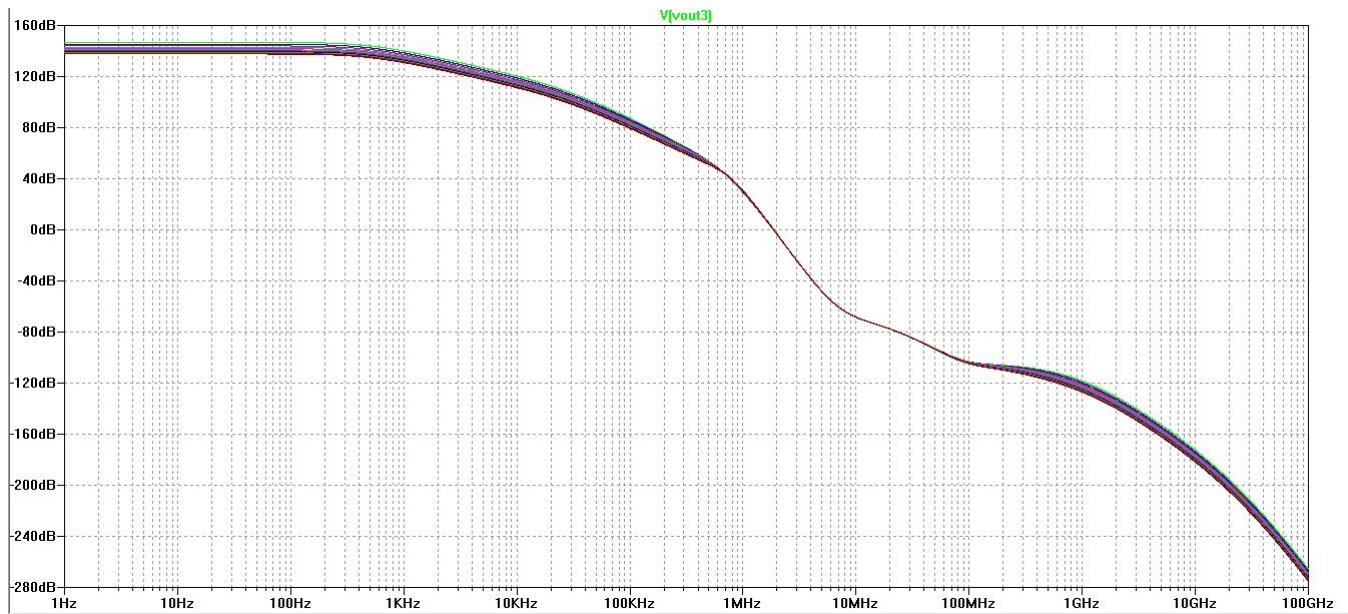


Figura 35 – Diagrama de Bode em magnitude.

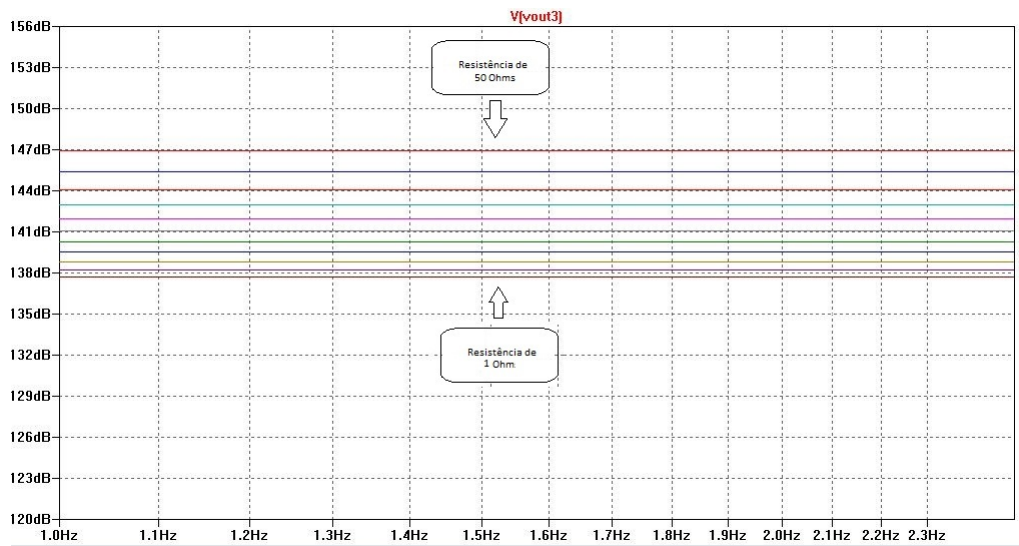


Figura 36 – Diagrama de Bode em magnitude (figura ampliada).

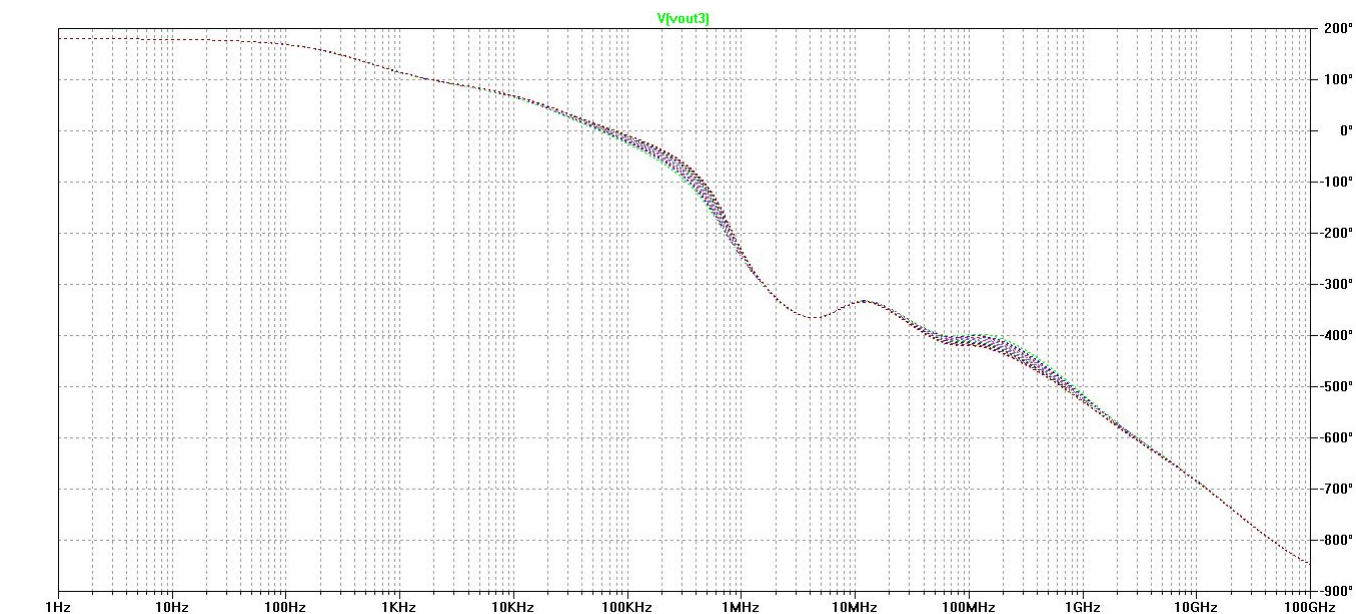


Figura 37 – Diagrama de Bode em fase.

Tabela 6 – Legenda Figura 35, 36 e 37

Resistencia	Cor
50Ω	Vermelho
45Ω	Azul Escuro
40Ω	Laranja
35Ω	Azul Piscina
30Ω	Rosa
25Ω	Cinza
20Ω	Verde
15Ω	Roxo
10Ω	Ocre
5Ω	Azul Claro
1Ω	Marrom

Simulação do ruído do sistema:

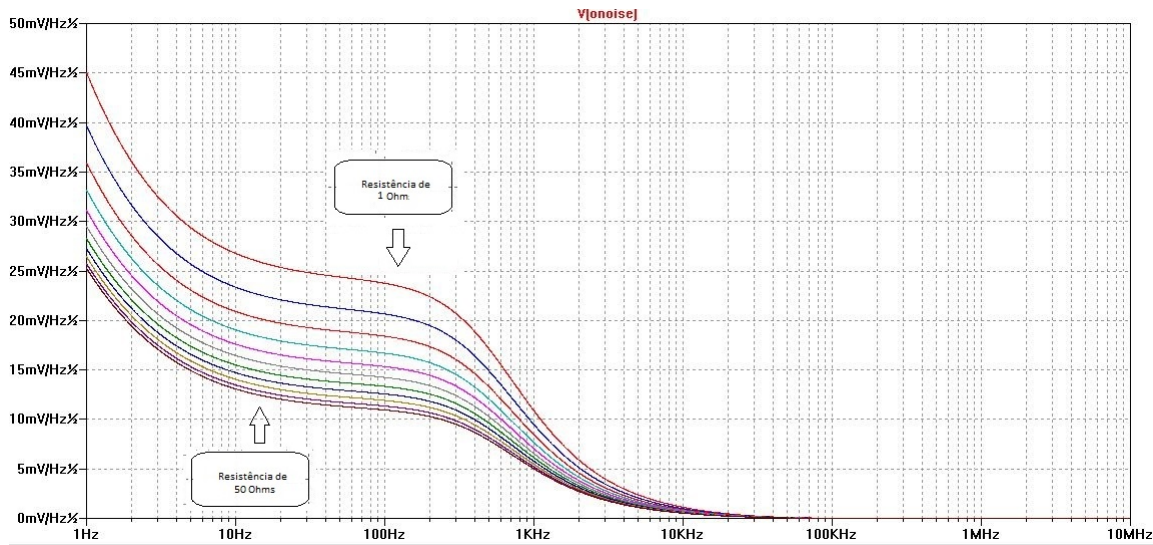


Figura 38 – Ruído proveniente do circuito.

Tabela 7 – Legenda Figura 38

Resistencia	Cor
1Ω	Vermelho
5Ω	Azul Escuro
10Ω	Laranja
15Ω	Azul Piscina
20Ω	Rosa
25Ω	Cinza
30Ω	Verde
35Ω	Roxo
40Ω	Ocre
45Ω	Azul Claro
50Ω	Marrom

Simulação dos ruídos das resistências:

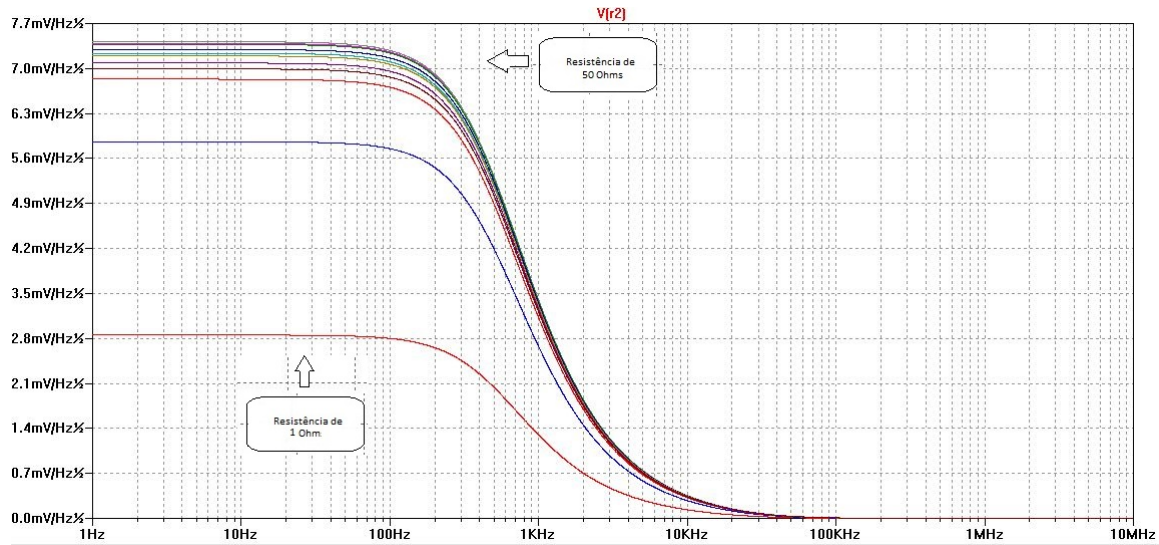
Figura 39 – Ruído do Resistor R_2 .

Tabela 8 – Legenda Figura 39

Resistencia	Cor
1Ω	Vermelho
5Ω	Azul Escuro
10Ω	Laranja
15Ω	Marrom
20Ω	Roxo
25Ω	Ocre
30Ω	Azul Claro
35Ω	Azul
40Ω	Verde
45Ω	Rosa
50Ω	Cinza

A partir dos gráficos apresentados é possível visualizar que, mesmo variando a resistência de entrada do circuito de amplificação do primeiro estágio o ganho não varia de forma significativa. Restando apenas o parâmetro de ruído imposto por esses componentes ao sistema a ser otimizado.

O gráfico do ruído gerado pelo sistema (Figura 38) demonstra que quanto menor o valor de R_2 maior é o ruído do sistema. No gráfico de ruído imposto ao sistema por R_2 (Figura 39) quanto menor o seu valor menor será sua contribuição de ruído. Ao mesmo tempo R_3 (Figura 40) apresenta maior contribuição de ruído quando R_2 é baixo. Desta forma se R_2 e R_3 possuírem valores diferentes haverá a compensação do ruído gerado por cada elemento, resultando em valores de ruído iguais ou superiores ao sistema composto por resistências iguais. Isso se dá por meio da sensibilidade entre componentes, que necessitam de valores estáveis e próximos para que o ruído seja estabilizado. Sendo a melhor opção, manter as resistências no mesmo valor projetado que apresenta o menor ruído.

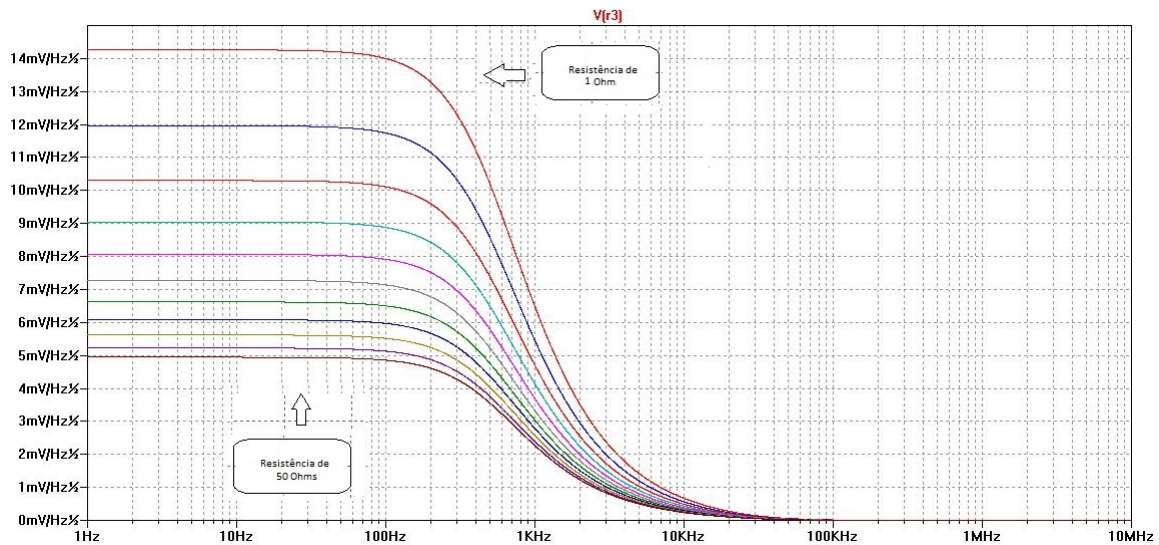
Figura 40 – Ruído do Resistor R_3 .

Tabela 9 – Legenda Figura 40

Resistencia	Cor
1Ω	Vermelho
5Ω	Azul Escuro
10Ω	Laranja
15Ω	Azul Piscina
20Ω	Rosa
25Ω	Cinza
30Ω	Verde
35Ω	Roxo
40Ω	Ocre
45Ω	Lilas
50Ω	Marrom

Há outra possibilidade de diminuir o ruído do sistema elevando as resistências R_2 e R_3 a 50Ω . Mas isso prejudica diretamente o desempenho do LNA projetado, pois a figura de ruído aumenta o que demonstra que o ruído vai aumentar a sua influência sobre o sinal recebido.

Outra análise busca uma diminuição da figura de ruído global do circuito, pois o sistema projetado apresentou um valor alto, próximo a 33dB de acordo com o gráfico (Figura 32), valor que prejudica a relação sinal ruído do sistema. Para minimizar esse valor dois testes foram realizados, o primeiro constitui na variação da resistência e da indutância do circuito de entrada (Figura 19(a)) e o segundo busca a diminuição da figura de ruído.

Este primeiro teste tem como finalidade demonstrar a influência dos componentes de entrada (Figura 19(a)) do sistema no ganho do LNA, com isso foi elaborada a simulação variando a indutância e a resistência do circuito de entrada, pois ainda não há um modelo final de antena o que pode ocasionar na variação desses parâmetros. Desta forma devemos

realizar o mesmo procedimento feito para variar a resistência de entrada do primeiro estágio de amplificação. O procedimento se inicia com a edição dos parâmetros a serem variados na ferramenta de edição de texto para cada elemento a ser variado, com os seguintes comandos:

Resistência

```
.step param R 0.1 5 0.5
```

```
.op
```

Indutor

```
.step param L 1u 1000u 100u
```

```
.op
```

A resistência foi configurada para operar de 0,1 a 5Ω variando em 0,5 por passo. Já o indutor foi configurado para operar de $1\mu H$ a $1000\mu H$ variando em $100\mu H$ por passo. Com isso chegamos aos seguintes ganhos figura (41 e 42) variando a indutância e figura (43 e 44) variando a resistência. Os gráficos apresentados não apresentam uma mudança significativa no ganho, isso se dá devido a variação dos componentes ser muito baixa, não influenciando no circuito de amplificação.

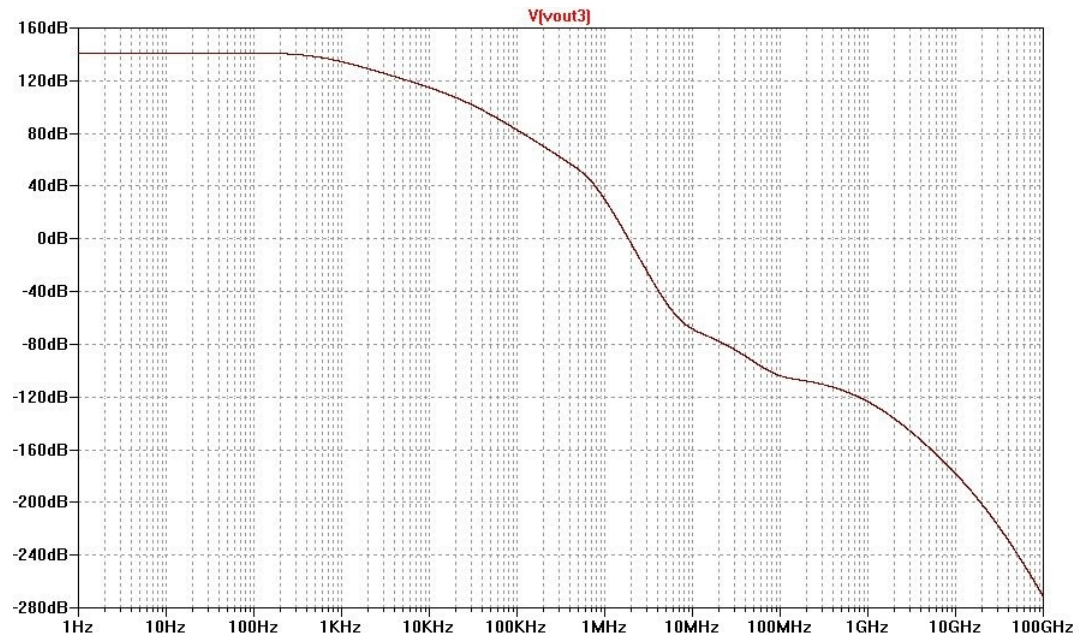


Figura 41 – Diagrama de Bode em magnitude.



Figura 42 – Diagrama de Bode em fase.



Figura 43 – Diagrama de Bode em magnitude.



Figura 44 – Diagrama de Bode em fase.

O segundo teste busca uma figura de ruído mais baixa que a do circuito projetado, que obteve valor próximo a 33 dB (Figura 32). Desta forma vamos simular a figura de ruído modificando o resistor de entrada do sistema que possui o valor de $0,193\Omega$ e passando

esse valor para 50Ω . Com esse valor pode ser observado que a figura de ruído do sistema diminuiu (Figura 45), ficando por volta de 9 dB. Isso demonstra que a resistência de entrada do sistema deve estar por volta de 50Ω , para que o valor da figura de ruído atinja um bom nível.

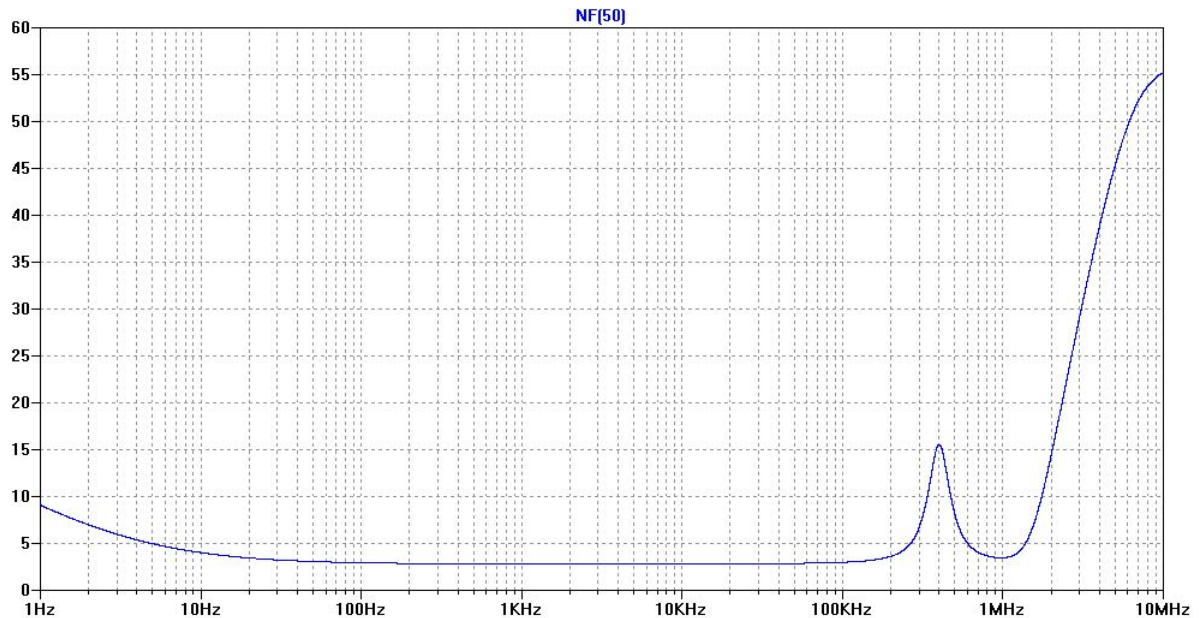


Figura 45 – Figura de Ruído com $R = 50\Omega$

O que demonstra a necessidade de uma impedância maior na antena, mas a resistência presente no circuito de entrada tem como funcionalidade a perda ôhmica, sendo necessário possuir valores baixos. Com a necessidade de uma impedância maior, pode ser inserido um resistor antes da entrada diferencial (Figura 46). Com a resistência inserida, houve uma série de testes para que fosse encontrado o melhor valor para a resistência. Chegando a resistência de 75Ω que reduziu a figura de ruído global do sistema, valor esse encontrado a partir de uma série de simulações com diversos valores de resistência, demonstrado na tabela 10.

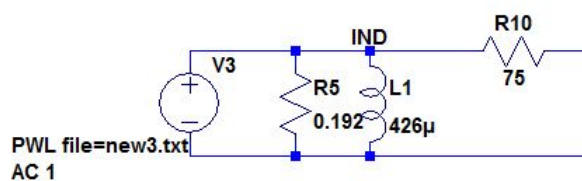


Figura 46 – Circuito de recepção ajustado.

Tabela 10 – Resultados dos testes de ajuste da figura de ruído.

Resistencia (Ω)	Figura de Ruído (dB)
1Ω	25 dB
50Ω	13 dB
75Ω	12 dB
100Ω	13 dB
150Ω	14 dB
200Ω	14 dB
500Ω	16 dB

A partir do ajuste de figura de ruído, foi possível também obter outros dados que contribuíram para o funcionamento do sistema. O que mais chamou atenção foi a redução do ruído proveniente de todo o circuito em comparação com o sistema projetado, caindo cerca de $8\text{ mV}/\sqrt{\text{Hz}}$, contribuindo agora com cerca de $22\text{ mV}/\sqrt{\text{Hz}}$ (Figura 48)

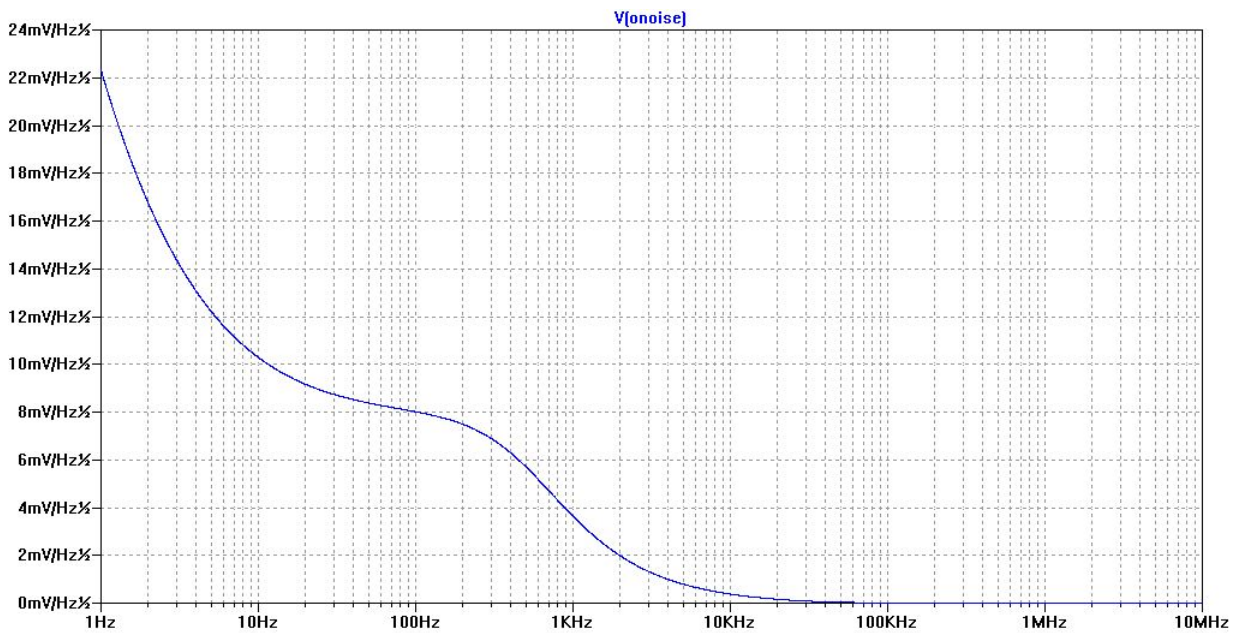


Figura 47 – Ruído do sistema.

4.2.4 Circuito Final

O circuito do Front End é composto por um amplificador de baixo ruído (LNA), conversor A/D e o circuito de entrada. A configuração final do sistema (Figura 48) apresentou um maior desempenho em relação ao circuito original. Desempenho ligado diretamente com o ganho esperado, a figura de ruído e o ruído proveniente do circuito.

O circuito é composto por um LNA com três estágios de ganho, o primeiro estágio possui um amplificador operacional de baixo ruído LT1028, nos outros estágios pode ser utilizado qualquer modelo amplificador. O conversor A/D utilizado é o ADS8507.

A partir desse circuito é possível realizar a construção da placa de circuito impresso. Circuito que além do sistema, o projeto poderá inserir o microprocessador que irá realizar a decodificação do sinal recebido. O melhor dispositivo a ser empregado no projeto seria um DSP Low Power, microprocessadores que trabalham com baixa potência. Mas o sistema projetado necessita de ciclos de clock superiores aos disponíveis nesses componentes para a realização da decodificação do sinal.

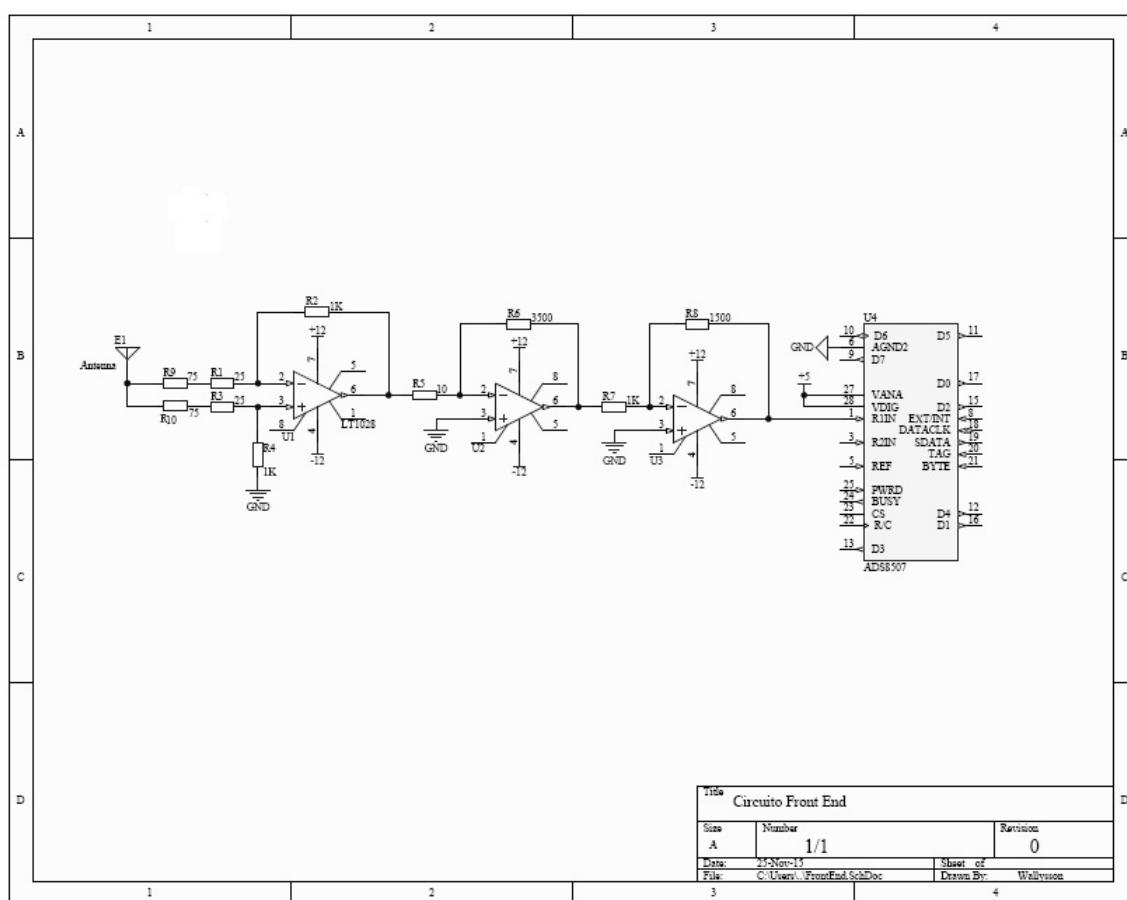


Figura 48 – Sistema Completo.

5 Conclusão

Este trabalho teve o intuito de apresentar o problema e as possíveis soluções acerca do tema escolhido. Tendo em vista que o atual sistema de comunicação na mineração não supria a necessidade de comunicação em todas as condições impostas pela lavra subterrânea, foi escolhido como tema para este trabalho a utilização da comunicação TTE na mineração. Desta forma, este trabalho teve como objetivo principal a criação de um circuito Front End de recepção para o tratamento da informação captada pelo receptor do sistema TTE.

Ao longo da primeira parte deste manuscrito, foram apresentados pontos chaves para elaboração do trabalho. Abordaram-se informações sobre os tipos de comunicação realizados na mineração; funcionamento, características, tipos de amplificadores de baixo ruído LNA, e características principais como: funcionamento e topologias do conversor analógico digital (Conversor A/D). A partir da fundamentação teórica e baseando-se na criação de um Front End de recepção, definiu-se a topologia a ser utilizada para a construção do LNA e a escolha do melhor conversor A/D a ser empregado no circuito. Por fim, de acordo com várias referências, formou-se uma metodologia para a concepção do circuito.

Na segunda parte, primeiramente foi feito o planejamento da modelagem, definindo a configuração do LNA. Posteriormente, foi realizada a escolha dos componentes a serem utilizados no circuito por meio de critérios exigidos pelo sistema, constituindo assim um sistema que possua o melhor desempenho. Em sequência, projetou-se o circuito por meio do software LTspice®. para a realização de simulações. Por fim foram realizadas as simulações para validar o sistema proposto, realizando simulações de ganho do sistema, do ruído imposto pelo sistema e o desempenho do circuito por meio da figura de ruído. Vale ressaltar que não foi possível realizar simulação com o conversor A/D, devido à limitação do software usado, que não possuía o componente. A partir das simulações foi possível chegar a melhor configuração do sistema para ser empregado no receptor.

Portanto, pode-se dizer que os objetivos deste trabalho foram alcançados. Sua modelagem foi realizada com sucesso, através da modelagem e simulações do sistema proposto, dando um bom ponto de partida à futura prototipação do sistema.

Referências

- ALEXANDER, C. K.; SADIKU, M. N. *Fundamentos de Circuitos Elétricos. 1ª. Edição*. [S.l.]: Rio de Janeiro: Bookman Companhia Editora, 2003. Citado 3 vezes nas páginas 13, 42 e 44.
- BOWICK, C. *RF circuit design*. [S.l.]: Newnes, 2011. Citado na página 35.
- FONSECA, E. A. D.; LIMA, L. A. P. D. O papel dos conversores sigma-delta no front end dos sistemas de comunicação digital. *Revista Digital Online—www. revdigonline. com Vol*, 2005. Citado na página 40.
- FOROOSHANI, A. E. et al. A survey of wireless communications and propagation modeling in underground mines. *Communications Surveys & Tutorials, IEEE, IEEE*, v. 15, n. 4, p. 1524–1545, 2013. Citado 9 vezes nas páginas 13, 22, 23, 27, 28, 29, 30, 31 e 32.
- MENDES, B. S. H. *Caracterização de Antenas para Sistemas TTE*. Dissertação (Trabalho de Conclusão de Curso) — Universidade de Brasília. Citado na página 58.
- MOTCHENBACHER, C. D.; CONNELLY, J. A. *Low noise electronic system design*. [S.l.]: Wiley, 1993. Citado 4 vezes nas páginas 13, 46, 47 e 49.
- PITTMAN, W. E.; CHURCH, R. H.; MCLENDON, J. T. *Through-the-earth electromagnetic trapped miner location systems: A review*. [S.l.]: US Department of Interior, Bureau of Mines, 1985. Citado na página 22.
- REMACRE, P. D. A. Z. <https://ge902ferro.wordpress.com/processos/metodos-de-lavra/>. 2012. Citado na página 21.
- SEDRA, A. S. et al. *Microeletrônica*. [S.l.]: Pearson Prentice Hall, 2007. Citado na página 35.
- SOARES, V. F. Projeto de módulos de rf para sistema em chip cmos. 2010. Citado 4 vezes nas páginas 13, 33, 34 e 35.
- TOCCI, R. J.; WIDMER, N. S.; MOSS, G. L. *Sistemas digitais: princípios e aplicações*. [S.l.]: Prentice Hall, 2003. v. 8. Citado 6 vezes nas páginas 13, 36, 37, 38, 39 e 40.
- YARKAN, S. et al. Underground mine communications: A survey. *Communications Surveys & Tutorials, IEEE, IEEE*, v. 11, n. 3, p. 125–142, 2009. Citado na página 21.

6 Anexo

6.1 Documentação Técnica

Ultralow Noise Precision High Speed Op Amps

FEATURES

- Voltage Noise
 - 1.1nV/ $\sqrt{\text{Hz}}$ Max at 1kHz
 - 0.85nV/ $\sqrt{\text{Hz}}$ Typ at 1kHz
 - 1.0nV/ $\sqrt{\text{Hz}}$ Typ at 10Hz
 - 35nV_{p-p} Typ, 0.1Hz to 10Hz
- Voltage and Current Noise 100% Tested
- Gain-Bandwidth Product
 - LT1028: 50MHz Min
 - LT1128: 13MHz Min
- Slew Rate
 - LT1028: 11V/ μs Min
 - LT1128: 5V/ μs Min
- Offset Voltage: 40 μV Max
- Drift with Temperature: 0.8 $\mu\text{V}/^\circ\text{C}$ Max
- Voltage Gain: 7 Million Min
- Available in 8-Lead SO Package

APPLICATIONS

- Low Noise Frequency Synthesizers
- High Quality Audio
- Infrared Detectors
- Accelerometer and Gyro Amplifiers
- 350 Ω Bridge Signal Conditioning
- Magnetic Search Coil Amplifiers
- Hydrophone Amplifiers

DESCRIPTION

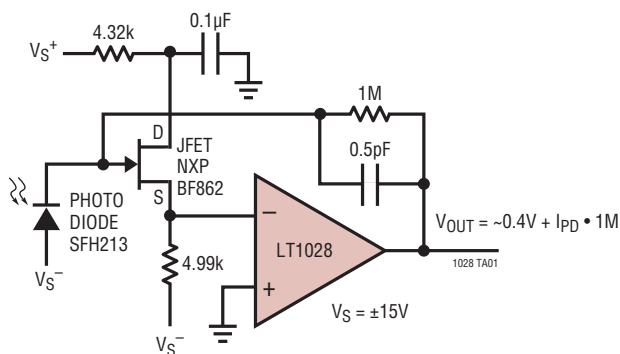
The **LT[®]1028** (gain of -1 stable)/**LT1128** (gain of $+1$ stable) achieve a new standard of excellence in noise performance with 0.85nV/ $\sqrt{\text{Hz}}$ 1kHz noise, 1.0nV/ $\sqrt{\text{Hz}}$ 10Hz noise. This ultralow noise is combined with excellent high speed specifications (gain-bandwidth product is 75MHz for LT1028, 20MHz for LT1128), distortion-free output, and true precision parameters (0.1 $\mu\text{V}/^\circ\text{C}$ drift, 10 μV offset voltage, 30 million voltage gain). Although the LT1028/LT1128 input stage operates at nearly 1mA of collector current to achieve low voltage noise, input bias current is only 25nA.

The LT1028/LT1128's voltage noise is less than the noise of a 50 Ω resistor. Therefore, even in very low source impedance transducer or audio amplifier applications, the LT1028/LT1128's contribution to total system noise will be negligible.

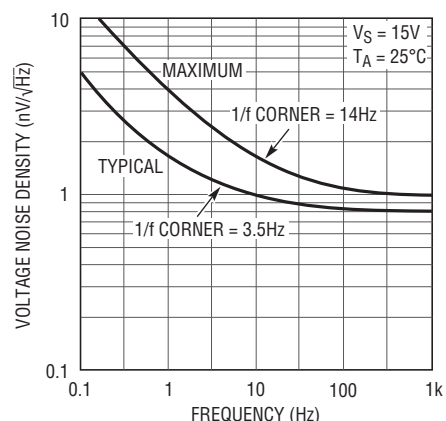
LT[®], LT, LTC, LTM, Linear Technology and the Linear logo are registered trademarks of Linear Technology Corporation. All other trademarks are the property of their respective owners.

TYPICAL APPLICATION

Ultralow Noise 1M TIA Photodiode Amplifier



Voltage Noise vs Frequency



1028 TA02

1028fd

LT1028/LT1128

ABSOLUTE MAXIMUM RATINGS

(Note 1)

Supply Voltage

–55°C to 105°C..... ±22V

105°C to 125°C..... ±16V

Differential Input Current (Note 9)±25mA

Input Voltage.....Equal to Supply Voltage

Output Short-Circuit Duration..... Indefinite

Operating Temperature Range

LT1028/LT1128AM, M (**OBSELETE**)... –55°C to 125°C

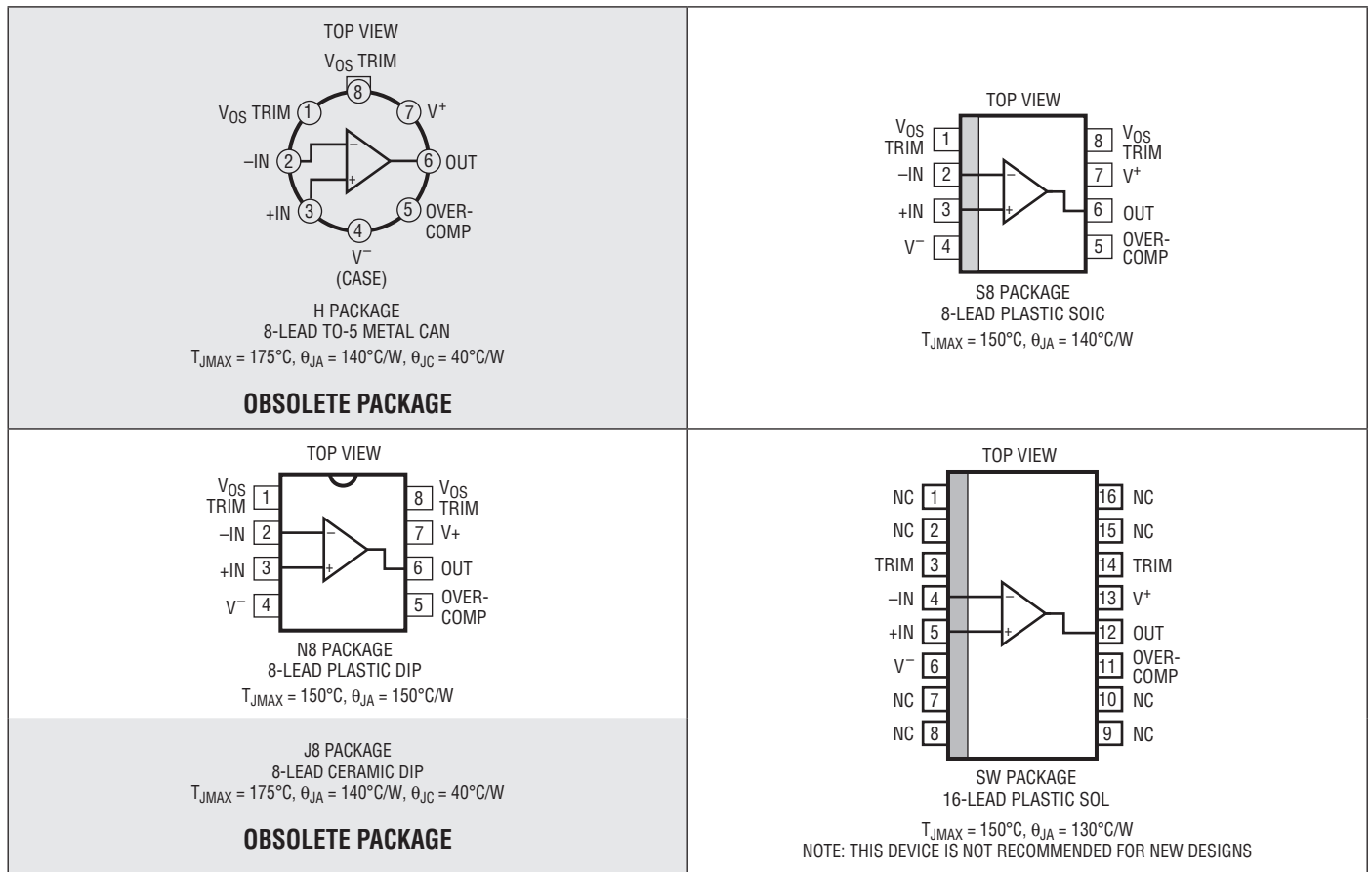
LT1028/LT1128AC, C (Note 11) –40°C to 85°C

Storage Temperature Range

All Devices –65°C to 150°C

Lead Temperature (Soldering, 10 sec.)..... 300°C

PIN CONFIGURATION



ORDER INFORMATION

LEAD FREE FINISH	TAPE AND REEL	PART MARKING*	PACKAGE DESCRIPTION	SPECIFIED TEMPERATURE RANGE
LT1028ACN8#PBF	N/A	LT1028ACN8	8-Lead PDIP	0°C to 70°C
LT1028CN8#PBF	N/A	LT1028CN8	8-Lead PDIP	0°C to 70°C
LT1128ACN8#PBF	N/A	LT1128ACN8	8-Lead PDIP	0°C to 70°C
LT1128CN8#PBF	N/A	LT1128CN8	8-Lead PDIP	0°C to 70°C
LT1028CS8#PBF	LT1028CS8#TRPBF	1028	8-Lead Plastic Small Outline	0°C to 70°C
LT1128CS8#PBF	LT1128CS8#TRPBF	1128	8-Lead Plastic Small Outline	0°C to 70°C
LT1028CSW#PBF	LT1028CSW#TRPBF	LT1028CSW	16-Lead Plastic SOIC (Wide)	0°C to 70°C

Consult LTC Marketing for parts specified with wider operating temperature ranges. *The temperature grade is identified by a label on the shipping container.

For more information on lead free part marking, go to: <http://www.linear.com/leadfree/>

For more information on tape and reel specifications, go to: <http://www.linear.com/tapeandreel/>. Some packages are available in 500 unit reels through designated sales channels with #TRMPBF suffix.

ELECTRICAL CHARACTERISTICS $V_S = \pm 15V$, $T_A = 25^\circ C$ unless otherwise noted.

SYMBOL	PARAMETER	CONDITIONS	LT1028AM/AC LT1128AM/AC			LT1028M/C LT1128M/C			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	
V_{OS}	Input Offset Voltage	(Note 2)		10	40		20	80	μV
$\frac{\Delta V_{OS}}{\Delta \text{Time}}$	Long Term Input Offset Voltage Stability	(Note 3)		0.3			0.3		$\mu V/Mo$
I_{OS}	Input Offset Current	$V_{CM} = 0V$		12	50		18	100	nA
I_B	Input Bias Current	$V_{CM} = 0V$		± 25	± 90		± 30	± 180	nA
e_n	Input Noise Voltage	0.1Hz to 10Hz (Note 4)		35	75		35	90	nV _{P-P}
	Input Noise Voltage Density	$f_0 = 10\text{Hz}$ (Note 5) $f_0 = 1000\text{Hz}$, 100% Tested		1.00 0.85	1.7 1.1		1.0 0.9	1.9 1.2	nV/ $\sqrt{\text{Hz}}$ nV/ $\sqrt{\text{Hz}}$
I_n	Input Noise Current Density	$f_0 = 10\text{Hz}$ (Notes 4 and 6) $f_0 = 1000\text{Hz}$, 100% Tested		4.7 1.0	10.0 1.6		4.7 1.0	12.0 1.8	pA/ $\sqrt{\text{Hz}}$ pA/ $\sqrt{\text{Hz}}$
	Input Resistance Common Mode Differential Mode			300 20			300 20		M Ω k Ω
	Input Capacitance			5			5		pF
	Input Voltage Range		± 11.0	± 12.2		± 11.0	± 12.2		V
CMRR	Common Mode Rejection Ratio	$V_{CM} = \pm 11V$	114	126		110	126		dB
PSRR	Power Supply Rejection Ratio	$V_S = \pm 4V$ to $\pm 18V$	117	133		110	132		dB
A_{VOL}	Large-Signal Voltage Gain	$R_L \geq 2k$, $V_O = \pm 12V$ $R_L \geq 1k$, $V_O = \pm 10V$ $R_L \geq 600\Omega$, $V_O = \pm 10V$	7.0 5.0 3.0	30.0 20.0 15.0		5.0 3.5 2.0	30.0 20.0 15.0		V/ μV V/ μV V/ μV
V_{OUT}	Maximum Output Voltage Swing	$R_L \geq 2k$ $R_L \geq 600\Omega$	± 12.3 ± 11.0	± 13.0 ± 12.2		± 12.0 ± 10.5	± 13.0 ± 12.2		V V
SR	Slew Rate	$A_{VCL} = -1$ $A_{VCL} = -1$	11.0 5.0	15.0 6.0		11.0 4.5	15.0 6.0		V/ μs V/ μs
GBW	Gain-Bandwidth Product	$f_0 = 20\text{kHz}$ (Note 7) $f_0 = 200\text{kHz}$ (Note 7)	50 13	75 20		50 11	75 20		MHz MHz
Z_O	Open-Loop Output Impedance	$V_O = 0$, $I_O = 0$		80			80		Ω
I_S	Supply Current			7.4	9.5		7.6	10.5	mA

LT1028/LT1128

ELECTRICAL CHARACTERISTICS

The ● denotes the specifications which apply over the operating temperature range $-55^{\circ}\text{C} \leq T_A \leq 125^{\circ}\text{C}$. $V_S = \pm 15\text{V}$, unless otherwise noted.

SYMBOL	PARAMETER	CONDITIONS		LT1028AM LT1128AM			LT1028M LT1128M			UNITS
				MIN	TYP	MAX	MIN	TYP	MAX	
V_{OS}	Input Offset Voltage	(Note 2)	●		30	120		45	180	μV
$\frac{\Delta V_{OS}}{\Delta \text{Temp}}$	Average Input Offset Drift	(Note 8)	●		0.2	0.8		0.25	1.0	$\mu\text{V}/^{\circ}\text{C}$
I_{OS}	Input Offset Current	$V_{CM} = 0\text{V}$	●		25	90		30	180	nA
I_B	Input Bias Current	$V_{CM} = 0\text{V}$	●		± 40	± 150		± 50	± 300	nA
	Input Voltage Range		●	± 10.3	± 11.7		± 10.3	± 11.7		V
CMRR	Common Mode Rejection Ratio	$V_{CM} = \pm 10.3\text{V}$	●	106	122		100	120		dB
PSRR	Power Supply Rejection Ratio	$V_S = \pm 4.5\text{V}$ to $\pm 16\text{V}$	●	110	130		104	130		dB
A_{VOL}	Large-Signal Voltage Gain	$R_L \geq 2\text{k}$, $V_O = \pm 10\text{V}$ $R_L \geq 1\text{k}$, $V_O = \pm 10\text{V}$	●	3.0 2.0	14.0 10.0		2.0 1.5	14.0 10.0		$\text{V}/\mu\text{V}$ $\text{V}/\mu\text{V}$
V_{OUT}	Maximum Output Voltage Swing	$R_L \geq 2\text{k}$	●	± 10.3	± 11.6		± 10.3	± 11.6		V
I_S	Supply Current		●		8.7	11.5		9.0	13.0	mA

The ● denotes the specifications which apply over the operating temperature range $0^{\circ}\text{C} \leq T_A \leq 70^{\circ}\text{C}$. $V_S = \pm 15\text{V}$, unless otherwise noted.

SYMBOL	PARAMETER	CONDITIONS		LT1028AC LT1128AC			LT1028C LT1128C			UNITS
				MIN	TYP	MAX	MIN	TYP	MAX	
V_{OS}	Input Offset Voltage	(Note 2)	●		15	80		30	125	μV
$\frac{\Delta V_{OS}}{\Delta \text{Temp}}$	Average Input Offset Drift	(Note 8)	●		0.1	0.8		0.2	1.0	$\mu\text{V}/^{\circ}\text{C}$
I_{OS}	Input Offset Current	$V_{CM} = 0\text{V}$	●		15	65		22	130	nA
I_B	Input Bias Current	$V_{CM} = 0\text{V}$	●		± 30	± 120		± 40	± 240	nA
	Input Voltage Range		●	± 10.5	± 12.0		± 10.5	± 12.0		V
CMRR	Common Mode Rejection Ratio	$V_{CM} = \pm 10.5\text{V}$	●	110	124		106	124		dB
PSRR	Power Supply Rejection Ratio	$V_S = \pm 4.5\text{V}$ to $\pm 18\text{V}$	●	114	132		107	132		dB
A_{VOL}	Large-Signal Voltage Gain	$R_L \geq 2\text{k}$, $V_O = \pm 10\text{V}$ $R_L \geq 1\text{k}$, $V_O = \pm 10\text{V}$	●	5.0 4.0	25.0 18.0		3.0 2.5	25.0 18.0		$\text{V}/\mu\text{V}$ $\text{V}/\mu\text{V}$
V_{OUT}	Maximum Output Voltage Swing	$R_L \geq 2\text{k}$ $R_L \geq 600\Omega$ (Note 10)	●	± 11.5 ± 9.5	± 12.7 ± 11.0		± 11.5 ± 9.0	± 12.7 ± 10.5		V V
I_S	Supply Current		●		8.0	10.5		8.2	11.5	mA

ELECTRICAL CHARACTERISTICS

The ● denotes the specifications which apply over the operating temperature range $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$. $V_S = \pm 15\text{V}$, unless otherwise noted. (Note 11)

SYMBOL	PARAMETER	CONDITIONS		LT1028AC LT1128AC			LT1028C LT1128C			UNITS
				MIN	TYP	MAX	MIN	TYP	MAX	
V_{OS}	Input Offset Voltage		●		20	95		35	150	μV
$\frac{\Delta V_{OS}}{\Delta \text{Temp}}$	Average Input Offset Drift	(Note 8)	●		0.2	0.8		0.25	1.0	$\mu\text{V}/^{\circ}\text{C}$
I_{OS}	Input Offset Current	$V_{CM} = 0\text{V}$	●		20	80		28	160	nA
I_B	Input Bias Current	$V_{CM} = 0\text{V}$	●		± 35	± 140		± 45	± 280	nA
	Input Voltage Range		●	± 10.4	± 11.8		± 10.4	± 11.8		V
CMRR	Common Mode Rejection Ratio	$V_{CM} = \pm 10.5\text{V}$	●	108	123		102	123		dB
PSRR	Power Supply Rejection Ratio	$V_S = \pm 4.5\text{V}$ to $\pm 18\text{V}$	●	112	131		106	131		dB
A_{VOL}	Large-Signal Voltage Gain	$R_L \geq 2\text{k}$, $V_O = \pm 10\text{V}$ $R_L \geq 1\text{k}$, $V_O = \pm 10\text{V}$	●	4.0 3.0	20.0 14.0		2.5 2.0	20.0 14.0		$\text{V}/\mu\text{V}$ $\text{V}/\mu\text{V}$
V_{OUT}	Maximum Output Voltage Swing	$R_L \geq 2\text{k}$	●	± 11.0	± 12.5		± 11.0	± 12.5		V
I_S	Supply Current		●		8.5	11.0		8.7	12.5	mA

Note 1: Stresses beyond those listed under Absolute Maximum Ratings may cause permanent damage to the device. Exposure to any Absolute Maximum Rating condition for extended periods may affect device reliability and lifetime.

Note 2: Input Offset Voltage measurements are performed by automatic test equipment approximately 0.5 sec. after application of power. In addition, at $T_A = 25^{\circ}\text{C}$, offset voltage is measured with the chip heated to approximately 55°C to account for the chip temperature rise when the device is fully warmed up.

Note 3: Long Term Input Offset Voltage Stability refers to the average trend line of Offset Voltage vs Time over extended periods after the first 30 days of operation. Excluding the initial hour of operation, changes in V_{OS} during the first 30 days are typically $2.5\mu\text{V}$.

Note 4: This parameter is tested on a sample basis only.

Note 5: 10Hz noise voltage density is sample tested on every lot with the exception of the S8 and S16 packages. Devices 100% tested at 10Hz are available on request.

Note 6: Current noise is defined and measured with balanced source resistors. The resultant voltage noise (after subtracting the resistor noise on an RMS basis) is divided by the sum of the two source resistors to obtain current noise. Maximum 10Hz current noise can be inferred from 100% testing at 1kHz.

Note 7: Gain-bandwidth product is not tested. It is guaranteed by design and by inference from the slew rate measurement.

Note 8: This parameter is not 100% tested.

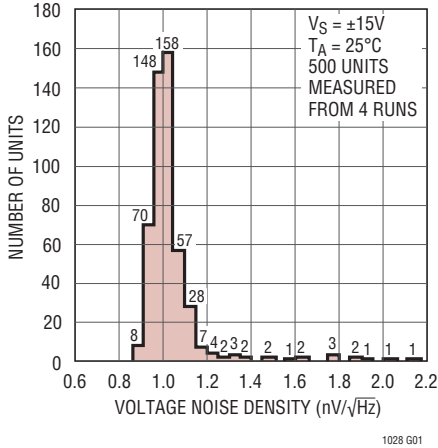
Note 9: The inputs are protected by back-to-back diodes. Current-limiting resistors are not used in order to achieve low noise. If differential input voltage exceeds $\pm 1.8\text{V}$, the input current should be limited to 25mA.

Note 10: This parameter guaranteed by design, fully warmed up at $T_A = 70^{\circ}\text{C}$. It includes chip temperature increase due to supply and load currents.

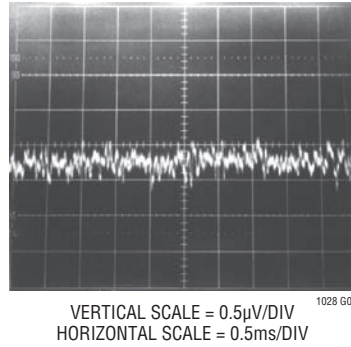
Note 11: The LT1028/LT1128 are designed, characterized and expected to meet these extended temperature limits, but are not tested at -40°C and 85°C . Guaranteed I-grade parts are available. Consult factory.

TYPICAL PERFORMANCE CHARACTERISTICS

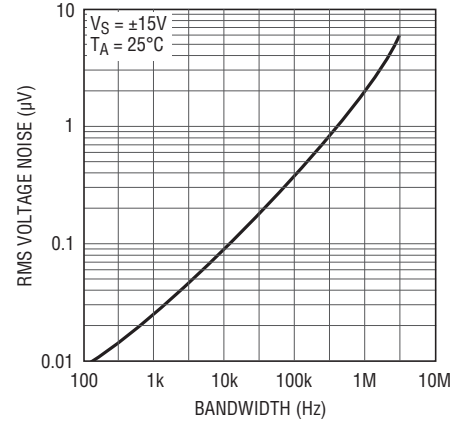
10Hz Voltage Noise Distribution



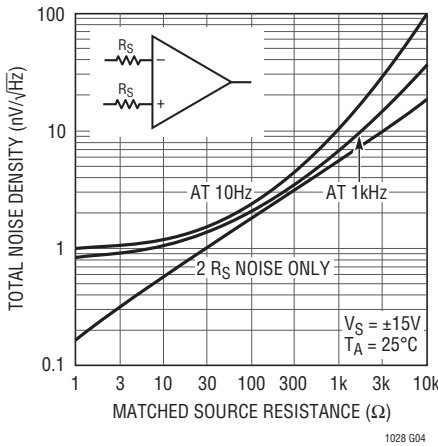
Wideband Noise, DC to 20kHz



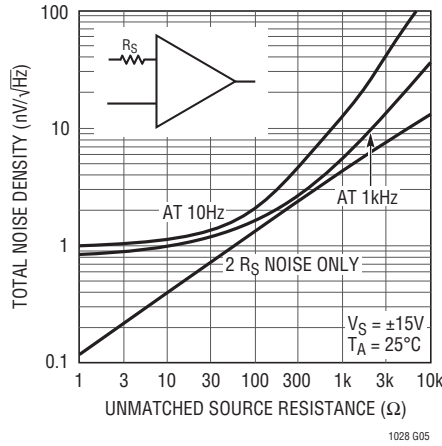
Wideband Voltage Noise (0.1Hz to Frequency Indicated)



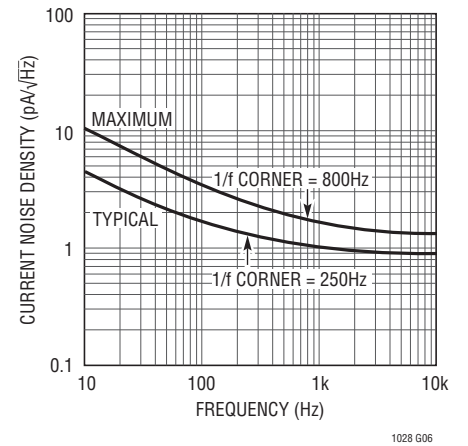
Total Noise vs Matched Source Resistance



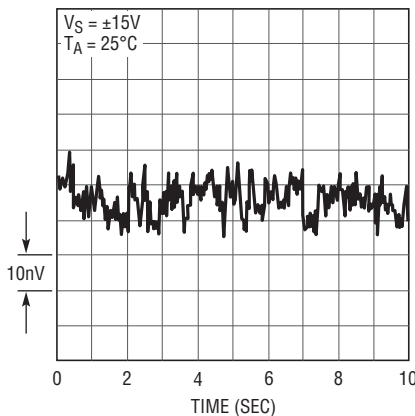
Total Noise vs Unmatched Source Resistance



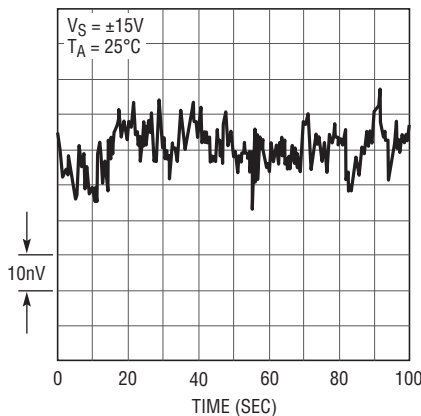
Current Noise Spectrum



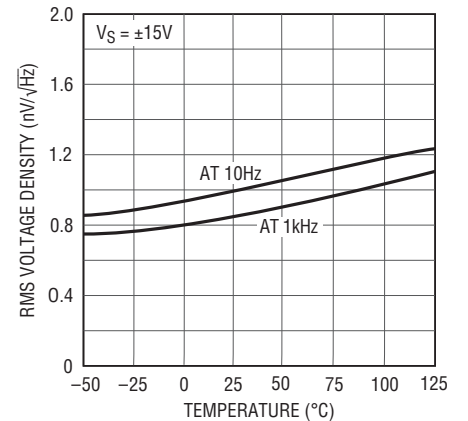
0.1Hz to 10Hz Voltage Noise



0.01Hz to 1Hz Voltage Noise

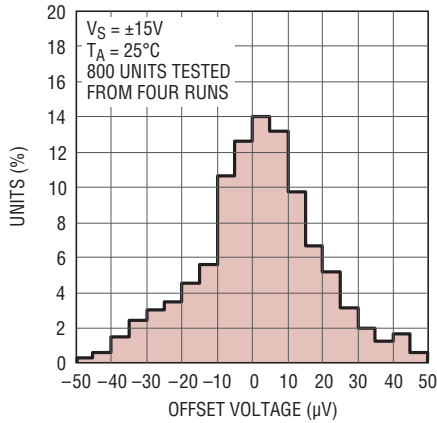


Voltage Noise vs Temperature



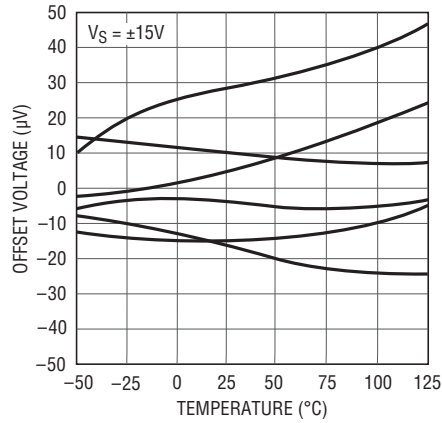
TYPICAL PERFORMANCE CHARACTERISTICS

Distribution of Input Offset Voltage



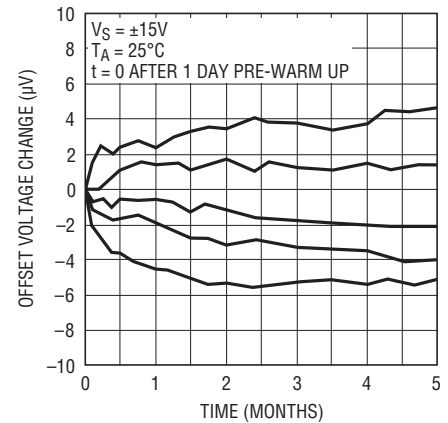
1028 G10

Offset Voltage Drift with Temperature of Representative Units



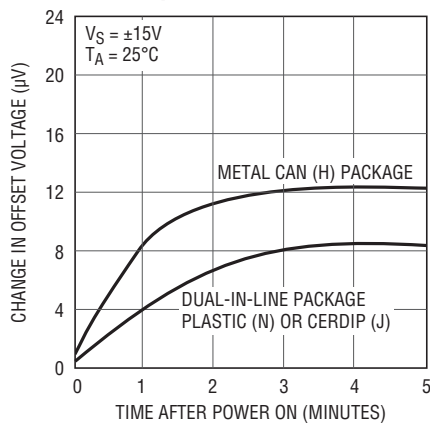
1028 G11

Long-Term Stability of Five Representative Units



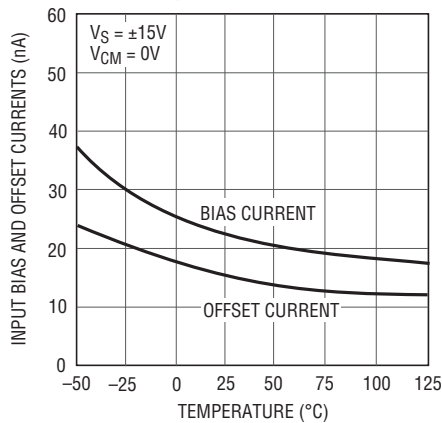
1028 G12

Warm-Up Drift



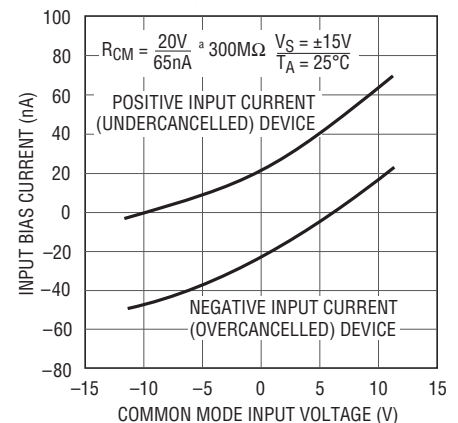
1028 G13

Input Bias and Offset Currents Over Temperature



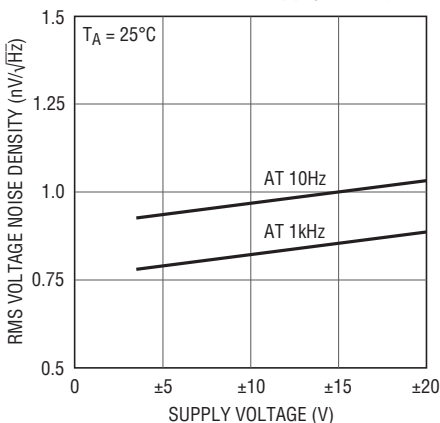
1028 G14

Bias Current Over the Common Mode Range



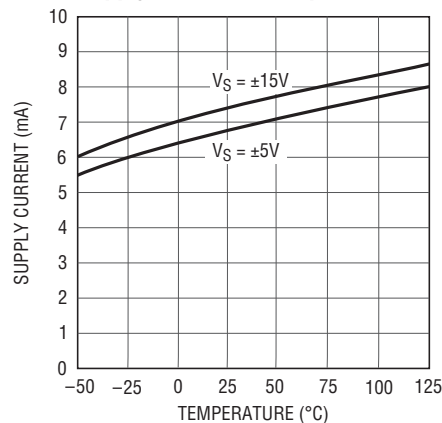
1028 G15

Voltage Noise vs Supply Voltage



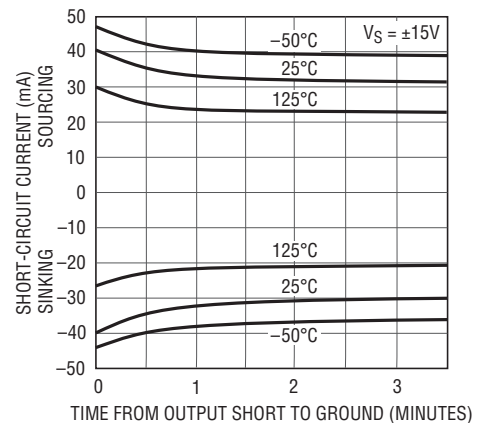
1028 G16

Supply Current vs Temperature



1028 G17

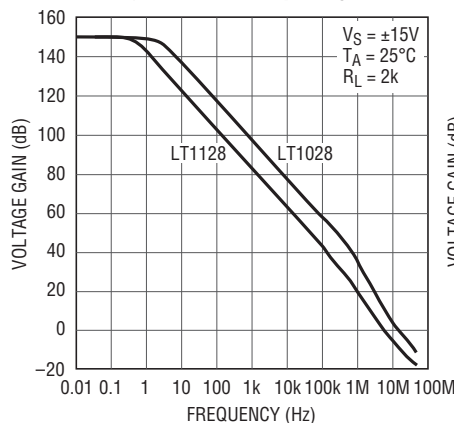
Output Short-Circuit Current vs Time



1028 G18

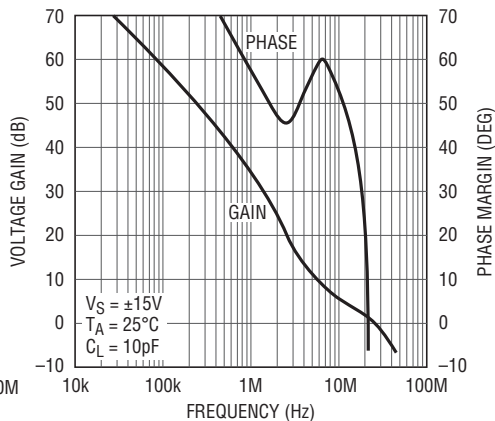
TYPICAL PERFORMANCE CHARACTERISTICS

Voltage Gain vs Frequency



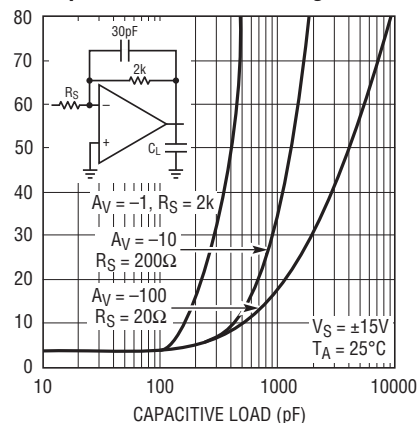
1028 G19

LT1028 Gain, Phase vs Frequency



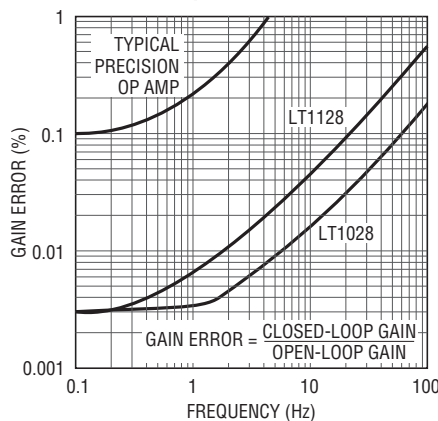
1028 G20

LT1028 Capacitance Load Handling



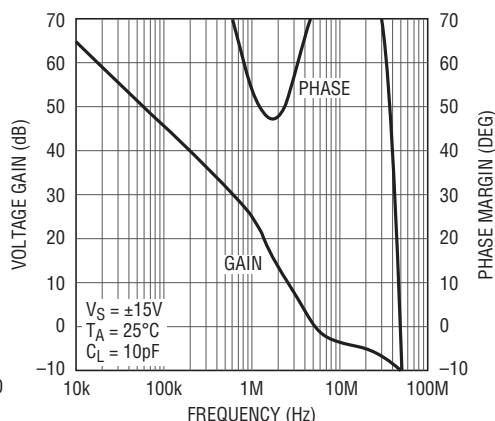
1028 G21

Gain Error vs Frequency Closed-Loop Gain = 1000



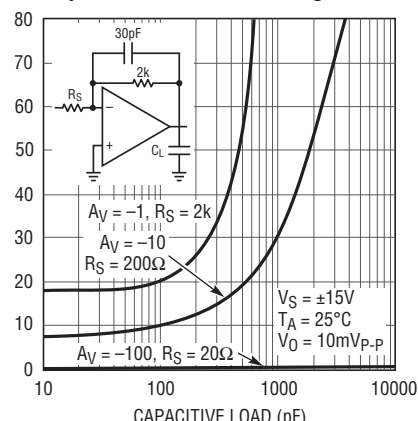
1028 G22

LT1128 Gain Phase vs Frequency



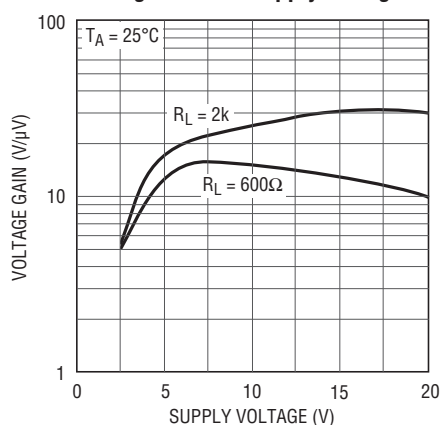
1028 G23

LT1128 Capacitance Load Handling



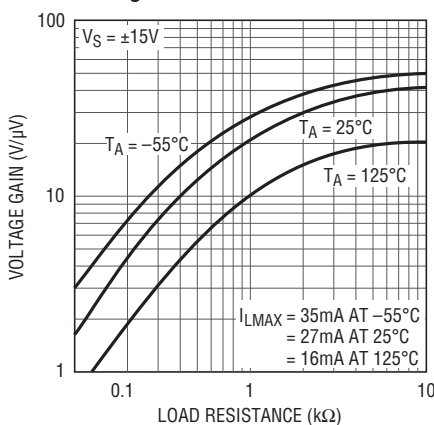
1028 G24

Voltage Gain vs Supply Voltage



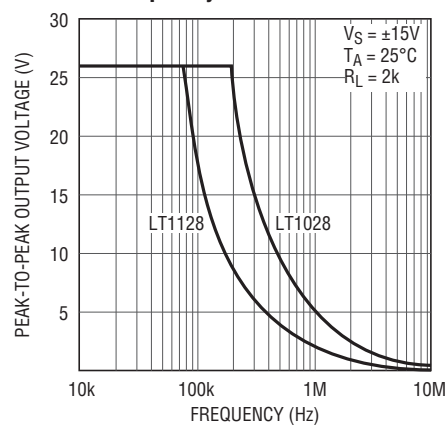
1028 G25

Voltage Gain vs Load Resistance



1028 G26

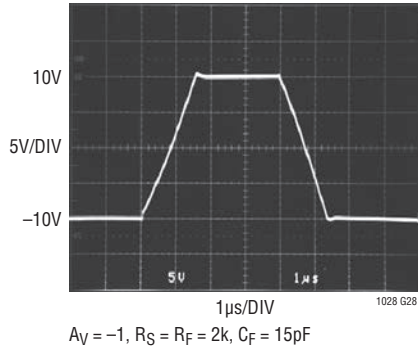
Maximum Undistorted Output vs Frequency



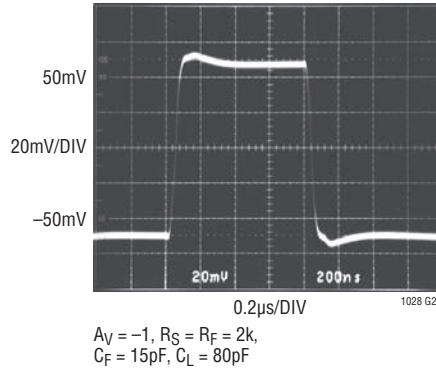
1028 G27

TYPICAL PERFORMANCE CHARACTERISTICS

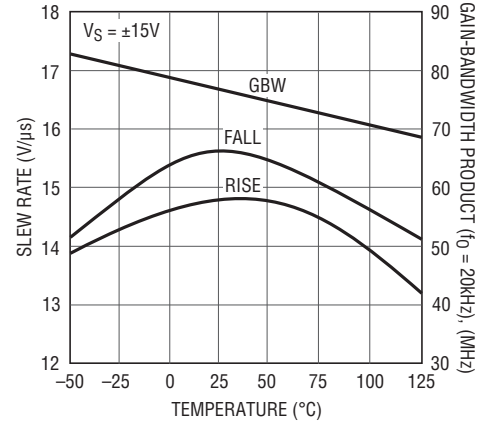
LT1028
Large-Signal Transient Response



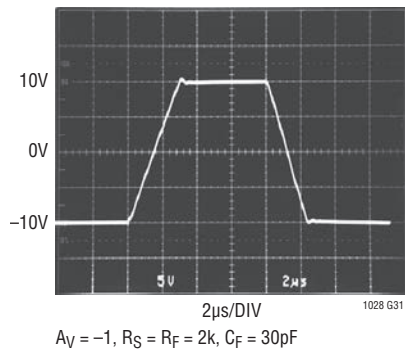
LT1028
Small-Signal Transient Response



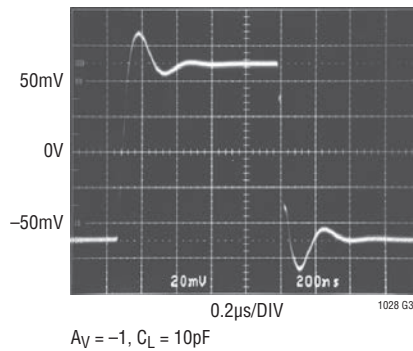
LT1028
Slew Rate, Gain-Bandwidth Product Over Temperature



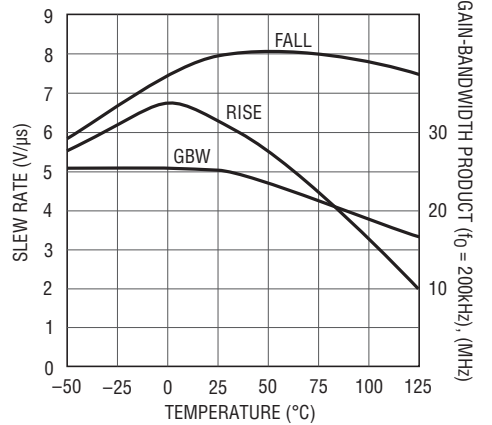
LT1128
Large-Signal Transient Response



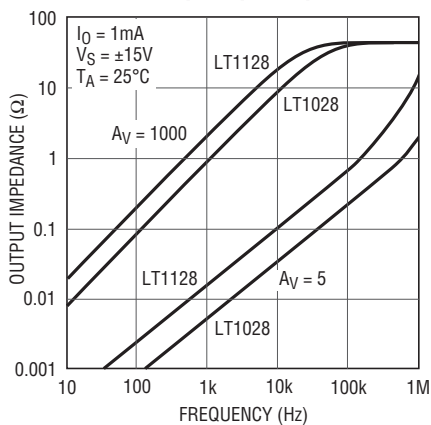
LT1128
Small-Signal Transient Response



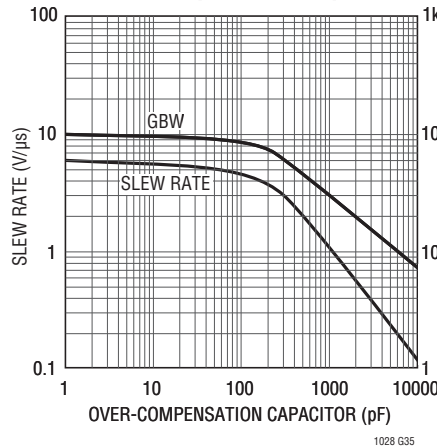
LT1128
Slew Rate, Gain-Bandwidth Product Over Temperature



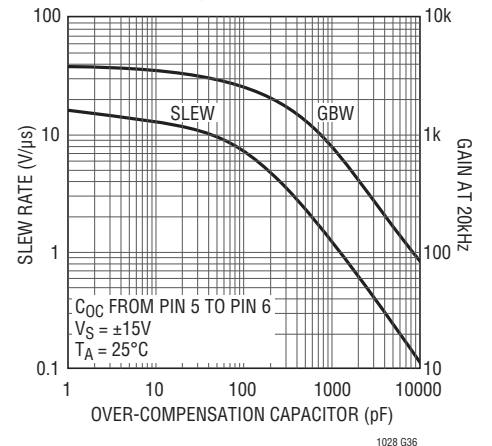
Closed-Loop Output Impedance



LT1128
Slew Rate, Gain-Bandwidth Product vs Over-Compensation Capacitor

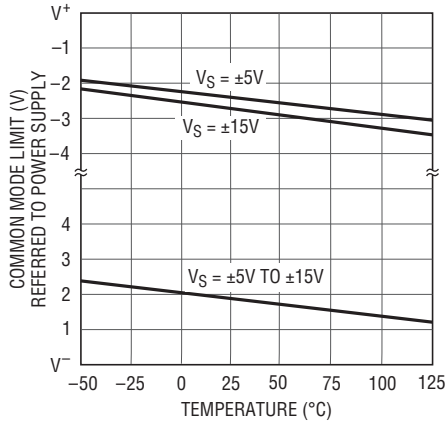


LT1028
Slew Rate, Gain-Bandwidth Product vs Over-Compensation Capacitor



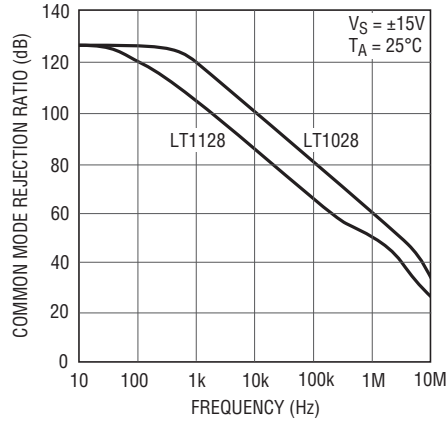
TYPICAL PERFORMANCE CHARACTERISTICS

Common Mode Limit Over Temperature



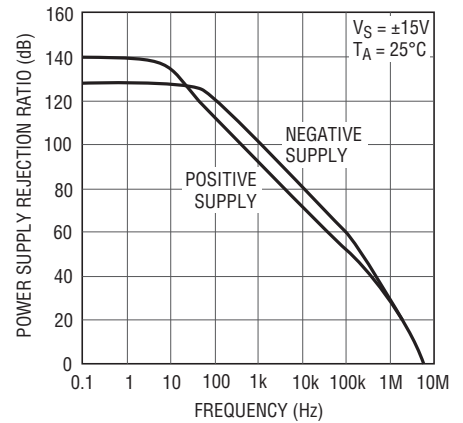
1028 G37

Common Mode Rejection Ratio vs Frequency



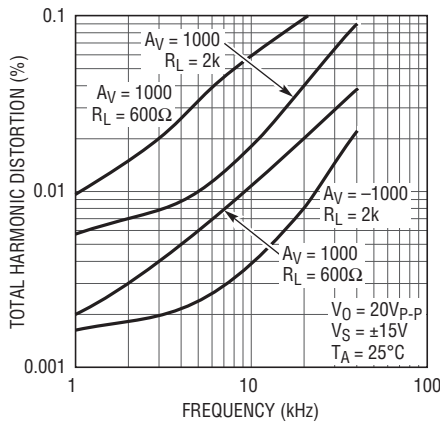
1028 G38

Power Supply Rejection Ratio vs Frequency



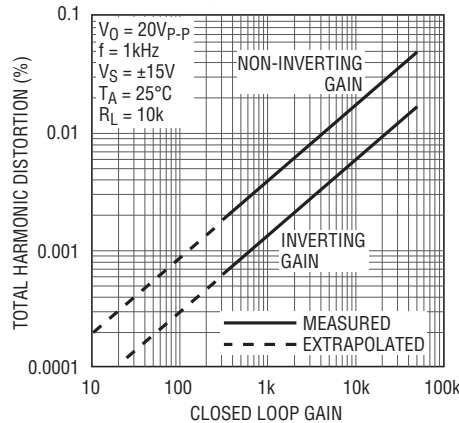
1028 G39

**LT1028
Total Harmonic Distortion vs Frequency and Load Resistance**



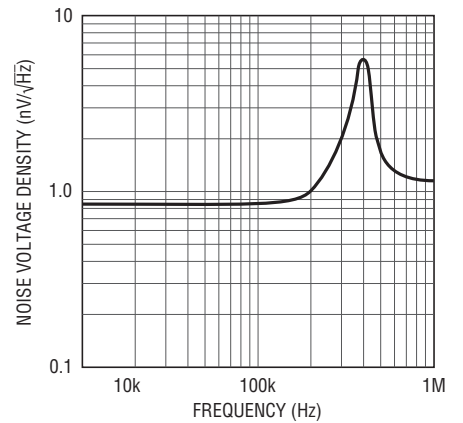
1028 G40

**LT1028
Total Harmonic Distortion vs Closed-Loop Gain**



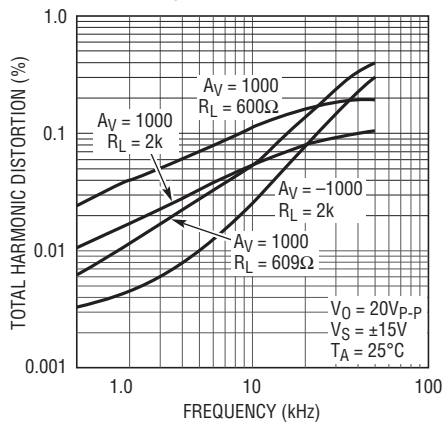
1028 G41

High Frequency Voltage Noise vs Frequency



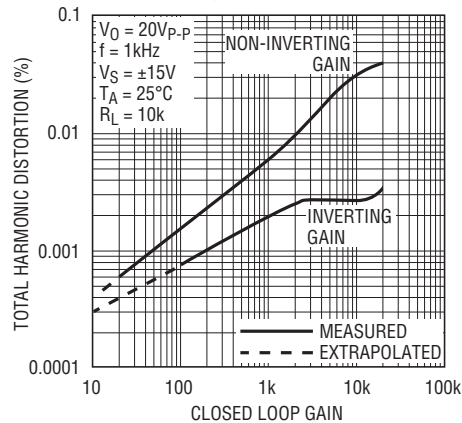
1028 G42

**LT1128
Total Harmonic Distortion vs Frequency and Load Resistance**



1028 G43

**LT1128
Total Harmonic Distortion vs Closed-Loop Gain**



1028 G44

FEATURES

- Rail-to-Rail Input and Output
- 100% Tested Low Voltage Noise:
 $3.2\text{nV}/\sqrt{\text{Hz}}$ Typ at 1kHz
 $4.5\text{nV}/\sqrt{\text{Hz}}$ Max at 1kHz
- Offset Voltage: 60 μV Max
- Low V_{OS} Drift: 0.2 $\mu\text{V}/^\circ\text{C}$ Typ
- Low Input Bias Current: 20nA Max
- Wide Supply Range: 3V to $\pm 18\text{V}$
- High A_{VOL} : 7V/ μV Min, $R_L = 10\text{k}$
- High CMRR: 109dB Min
- High PSRR: 108dB Min
- Gain Bandwidth Product: 7.2MHz
- Slew Rate: 2.5V/ μs
- Operating Temperature Range: -40°C to 85°C

APPLICATIONS

- Low Noise Signal Processing
- Microvolt Accuracy Threshold Detection
- Strain Gauge Amplifiers
- Tape Head Preamplifiers
- Direct Coupled Audio Gain Stages
- Infrared Detectors
- Battery-Powered Microphones

DESCRIPTION

The LT[®]1677 features the lowest noise performance available for a rail-to-rail operational amplifier: 3.2nV/ $\sqrt{\text{Hz}}$ wideband noise, 1/f corner frequency of 13Hz and 90nV peak-to-peak 0.1Hz to 10Hz noise. Low noise is combined with outstanding precision: 20 μV offset voltage and 0.2 $\mu\text{V}/^\circ\text{C}$ drift, 130dB common mode and power supply rejection and 7.2MHz gain bandwidth product. The common mode range exceeds the power supply by 100mV.

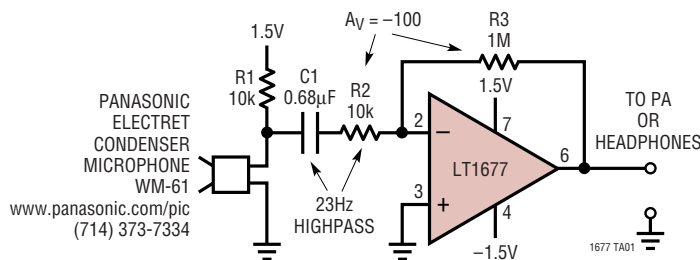
The voltage gain of the LT1677 is extremely high, 19 million (typical) driving a 10k load.

In the design, processing and testing of the device, particular attention has been paid to the optimization of the entire distribution of several key parameters. Consequently, the specifications have been spectacularly improved compared to competing rail-to-rail amplifiers.

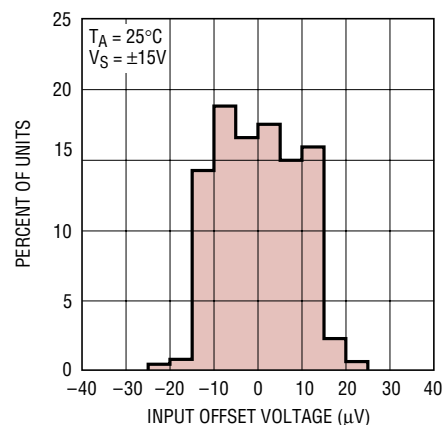
LT, LT, LTC and LTM are registered trademarks of Linear Technology Corporation. All other trademarks are the property of their respective owners.

TYPICAL APPLICATION

3V Electret Microphone Amplifier



Distribution of Offset Voltage



1677 TA02

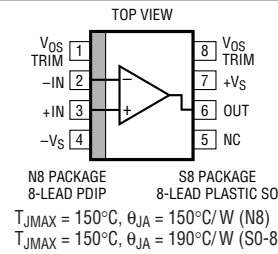
1677fa

ABSOLUTE MAXIMUM RATINGS

(Note 1)

Supply Voltage	$\pm 22V$
Input Voltages (Note 2)	0.3V Beyond Either Rail
Differential Input Current (Note 2)	$\pm 25mA$
Output Short-Circuit Duration (Note 3)	Indefinite
Storage Temperature Range	$-65^{\circ}C$ to $150^{\circ}C$
Lead Temperature (Soldering, 10 sec.)	$300^{\circ}C$
Operating Temperature Range	
LT1677C (Note 4)	$-40^{\circ}C$ to $85^{\circ}C$
LT1677I	$-40^{\circ}C$ to $85^{\circ}C$
Specified Temperature Range	
LT1677C (Note 5)	$-40^{\circ}C$ to $85^{\circ}C$
LT1677I	$-40^{\circ}C$ to $85^{\circ}C$

PACKAGE/ORDER INFORMATION

	
ORDER PART NUMBER	S8 PART MARKING
LT1677CS8	1677
LT1677IS8	1677I
LT1677CN8	
LT1677IN8	
Order Options Tape and Reel: Add #TR Lead Free: Add #PBF Lead Free Tape and Reel: Add #TRPBF Lead Free Part Marking: http://www.linear.com/leadfree/	

Consult LTC Marketing for parts specified with wider operating temperature ranges.

ELECTRICAL CHARACTERISTICS

The ● denotes the specifications which apply over the full operating temperature range, otherwise specifications are at $T_A = 25^{\circ}C$. $V_S = 3V$, $V_{CM} = V_O = 1.7V$; $V_S = 5V$, $V_{CM} = V_O = 2.5V$ unless otherwise noted.

SYMBOL	PARAMETER	CONDITIONS (Note 6)	MIN	TYP	MAX	UNITS
V_{OS}	Input Offset Voltage (Note 11)	$0^{\circ}C \leq T_A \leq 70^{\circ}C$	●	35	90	μV
		$-40^{\circ}C \leq T_A \leq 85^{\circ}C$	●	55	150	μV
				75	210	μV
		$V_{CM} = V_S + 0.1V$		150	400	μV
		$V_{CM} = V_S - 0.2V$, $0^{\circ}C \leq T_A \leq 70^{\circ}C$	●	180	550	μV
		$V_{CM} = V_S - 0.3V$, $-40^{\circ}C \leq T_A \leq 85^{\circ}C$	●	200	650	μV
		$V_{CM} = -0.1V$		1.5	5.0	mV
		$V_{CM} = 0V$, $0^{\circ}C \leq T_A \leq 70^{\circ}C$	●	1.8	6.0	mV
		$V_{CM} = 0V$, $-40^{\circ}C \leq T_A \leq 85^{\circ}C$	●	2.0	6.5	mV
$\frac{\Delta V_{OS}}{\Delta Temp}$	Average Input Offset Drift (Note 10)	SO-8	●	0.40	2.0	$\mu V/^{\circ}C$
		N8	●	0.20	1.5	$\mu V/^{\circ}C$
$\frac{\Delta V_{OS}}{\Delta Time}$	Long Term Input Voltage Stability			0.3		$\mu V/Mo$
I_B	Input Bias Current (Note 11)	$0^{\circ}C \leq T_A \leq 70^{\circ}C$	●	± 2	± 20	nA
		$-40^{\circ}C \leq T_A \leq 85^{\circ}C$	●	± 3	± 35	nA
				± 7	± 50	nA
		$V_{CM} = V_S + 0.1V$		0.19	0.40	μA
		$V_{CM} = V_S - 0.2V$, $0^{\circ}C \leq T_A \leq 70^{\circ}C$	●	0.19	0.60	μA
		$V_{CM} = V_S - 0.3V$, $-40^{\circ}C \leq T_A \leq 85^{\circ}C$	●	0.25	0.75	μA
		$V_{CM} = -0.1V$		-1.2	-0.41	μA
		$V_{CM} = 0V$, $0^{\circ}C \leq T_A \leq 70^{\circ}C$	●	-2.0	-0.45	μA
		$V_{CM} = 0V$, $-40^{\circ}C \leq T_A \leq 85^{\circ}C$	●	-2.3	-0.47	μA
I_{OS}	Input Offset Current (Note 11)	$0^{\circ}C \leq T_A \leq 70^{\circ}C$	●	4	15	nA
		$-40^{\circ}C \leq T_A \leq 85^{\circ}C$	●	5	20	nA
				8	40	nA
		$V_{CM} = V_S + 0.1V$		6	30	nA
		$V_{CM} = V_S - 0.2V$, $0^{\circ}C \leq T_A \leq 70^{\circ}C$	●	10	40	nA
		$V_{CM} = V_S - 0.3V$, $-40^{\circ}C \leq T_A \leq 85^{\circ}C$	●	15	65	nA
		$V_{CM} = -0.1V$		20	100	nA
		$V_{CM} = 0V$, $0^{\circ}C \leq T_A \leq 70^{\circ}C$	●	25	150	nA
		$V_{CM} = 0V$, $-40^{\circ}C \leq T_A \leq 85^{\circ}C$	●	30	160	nA

1677fa

ELECTRICAL CHARACTERISTICS The ● denotes the specifications which apply over the full operating temperature range, otherwise specifications are at $T_A = 25^\circ\text{C}$. $V_S = 3\text{V}$, $V_{CM} = V_O = 1.7\text{V}$; $V_S = 5\text{V}$, $V_{CM} = V_O = 2.5\text{V}$ unless otherwise noted.

SYMBOL	PARAMETER	CONDITIONS (Note 6)	MIN	TYP	MAX	UNITS
e_n	Input Noise Voltage	0.1Hz to 10Hz (Note 7)		90		nV _{p-p}
		$V_{CM} = V_S$		180		nV _{p-p}
		$V_{CM} = 0\text{V}$		600		nV _{p-p}
	Input Noise Voltage Density (Note 8)	$f_0 = 10\text{Hz}$		5.2		nV/ $\sqrt{\text{Hz}}$
		$V_{CM} = V_S$, $f_0 = 10\text{Hz}$		7		nV/ $\sqrt{\text{Hz}}$
		$V_{CM} = 0\text{V}$, $f_0 = 10\text{Hz}$		25		nV/ $\sqrt{\text{Hz}}$
		$f_0 = 1\text{kHz}$		3.2	4.5	nV/ $\sqrt{\text{Hz}}$
		$V_{CM} = V_S$, $f_0 = 1\text{kHz}$		5.3		nV/ $\sqrt{\text{Hz}}$
i_n	Input Noise Current Density	$f_0 = 10\text{Hz}$		1.2		pA/ $\sqrt{\text{Hz}}$
		$f_0 = 1\text{kHz}$		0.3		pA/ $\sqrt{\text{Hz}}$
V_{CM}	Input Voltage Range	$0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$	–0.1		$V_S + 0.1\text{V}$	V
		$-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$	0		$V_S - 0.2\text{V}$	V
			0		$V_S - 0.3\text{V}$	V
R_{IN}	Input Resistance	Common Mode		2		G Ω
C_{IN}	Input Capacitance			4.2		pF
CMRR	Common Mode Rejection Ratio (Note 11)	$V_S = 3\text{V}$				
		$V_{CM} = -0.1\text{V}$ to 3.1V	55	68		dB
		$V_{CM} = 0\text{V}$ to 2.7V	53	67		dB
		$V_S = 5\text{V}$				
		$V_{CM} = -0.1\text{V}$ to 5.1V	60	73		dB
		$V_{CM} = 0\text{V}$ to 4.7V	58	72		dB
PSRR	Power Supply Rejection Ratio	$V_S = 2.7\text{V}$ to 40V , $V_{CM} = V_O = 1.7\text{V}$	108	125		dB
		$V_S = 3.1\text{V}$ to 40V , $V_{CM} = V_O = 1.7\text{V}$	105	120		dB
A_{VOL}	Large-Signal Voltage Gain	$V_S = 3\text{V}$, $R_L \geq 10\text{k}$, $V_O = 2.5\text{V}$ to 0.7V	0.6	4		V/ μV
		$0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$	0.4	3		V/ μV
		$-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$	0.4	3		V/ μV
		$V_S = 3\text{V}$, $R_L \geq 2\text{k}$, $V_O = 2.2\text{V}$ to 0.7V	0.5	1		V/ μV
		$0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$	0.4	0.9		V/ μV
		$-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$	0.4	0.8		V/ μV
		$V_S = 3\text{V}$, $R_L \geq 600\Omega$, $V_O = 2.2\text{V}$ to 0.7V	0.20	0.43		V/ μV
		$0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$	0.15	0.40		V/ μV
		$-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$	0.10	0.35		V/ μV
		$V_S = 5\text{V}$, $R_L \geq 10\text{k}$, $V_O = 4.5\text{V}$ to 0.7V	0.8	5		V/ μV
		$0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$	0.7	4		V/ μV
		$-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$	0.7	4		V/ μV
		$V_S = 5\text{V}$, $R_L \geq 2\text{k}$, $V_O = 4.2\text{V}$ to 0.7V	0.40	0.9		V/ μV
		$0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$	0.35	0.8		V/ μV
		$-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$	0.25	0.6		V/ μV
		$V_S = 5\text{V}$, $R_L \geq 600\Omega$, $V_O = 4.2\text{V}$ to 0.7V	0.35	0.67		V/ μV
		$0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$	0.30	0.60		V/ μV
		$-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$	0.20	0.45		V/ μV

ELECTRICAL CHARACTERISTICS

The ● denotes the specifications which apply over the full operating temperature range, otherwise specifications are at $T_A = 25^\circ\text{C}$. $V_S = 3\text{V}$, $V_{CM} = V_O = 1.7\text{V}$; $V_S = 5\text{V}$, $V_{CM} = V_O = 2.5\text{V}$ unless otherwise noted.

SYMBOL	PARAMETER	CONDITIONS (Note 6)	MIN	TYP	MAX	UNITS
V_{OL}	Output Voltage Swing Low (Note 11)	Above GND				
		$I_{SINK} = 0.1\text{mA}$		110	170	mV
		$0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$	●	125	200	mV
		$-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$	●	130	230	mV
		Above GND				
		$I_{SINK} = 2.5\text{mA}$		170	250	mV
		$0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$	●	195	320	mV
		$-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$	●	205	350	mV
		Above GND				
V_{OH}	Output Voltage Swing High (Note 11)	$I_{SINK} = 10\text{mA}$		370	500	mV
		$0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$	●	440	600	mV
		$-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$	●	465	650	mV
		Below V_S				
		$I_{SOURCE} = 0.1\text{mA}$		75	170	mV
		$0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$	●	85	200	mV
		$-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$	●	93	250	mV
		Below V_S				
		$I_{SOURCE} = 2.5\text{mA}$		170	300	mV
I_{SC}	Output Short-Circuit Current (Note 3)	$0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$	●	195	350	mV
		$-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$	●	205	375	mV
		Below V_S				
		$I_{SOURCE} = 10\text{mA}$		450	700	mV
		$0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$	●	510	800	mV
		$-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$	●	525	850	mV
		$V_S = 3\text{V}$		15	22	mA
		$0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$	●	14	20	mA
		$-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$	●	13	19	mA
SR	Slew Rate (Note 13)	$V_S = 5\text{V}$		20	29	mA
		$0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$	●	18	27	mA
		$-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$	●	17	25	mA
		$A_V = -1$		1.7	2.5	V/ μs
		$R_L \geq 10\text{k}\Omega$, $0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$	●	1.5	2.3	V/ μs
		$R_L \geq 10\text{k}\Omega$, $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$	●	1.2	2.0	V/ μs
		$f_0 = 100\text{kHz}$		4.5	7.2	MHz
		$f_0 = 100\text{kHz}$, $0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$	●	3.8	6.2	MHz
		$f_0 = 100\text{kHz}$, $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$	●	3.7	5.8	MHz
t_s	Settling Time	2V Step 0.1%, $A_V = +1$		2.1		μs
		2V Step 0.01%, $A_V = +1$		3.5		μs
R_O	Open-Loop Output Resistance Closed-Loop Output Resistance	$I_{OUT} = 0$		80		Ω
		$A_V = 100$, $f = 10\text{kHz}$		1		Ω
I_S	Supply Current (Note 12)	$0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$	●	2.60	3.4	mA
		$-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$	●	2.75	3.7	mA
			●	2.80	3.8	mA

ELECTRICAL CHARACTERISTICS

The ● denotes the specifications which apply over the full operating temperature range, otherwise specifications are at $T_A = 25^\circ\text{C}$. $V_S = \pm 15\text{V}$, $V_{CM} = V_O = 0\text{V}$ unless otherwise noted.

SYMBOL	PARAMETER	CONDITIONS (Note 6)	MIN	TYP	MAX	UNITS
V_{OS}	Input Offset Voltage	$0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$	●	20	60	μV
		$-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$	●	30	120	μV
				45	180	μV
		$V_{CM} = 15.1\text{V}$		150	400	μV
		$V_{CM} = 14.8\text{V}$, $0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$	●	180	550	μV
		$V_{CM} = 14.7\text{V}$, $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$	●	200	650	μV
		$V_{CM} = -15.1\text{V}$		1.5	5.0	mV
		$V_{CM} = -15\text{V}$, $0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$	●	1.8	6.0	mV
		$V_{CM} = -15\text{V}$, $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$	●	2.0	6.5	mV
$\frac{\Delta V_{OS}}{\Delta \text{Temp}}$	Average Input Offset Drift (Note 10)	SO-8	●	0.40	2.0	$\mu\text{V}/^\circ\text{C}$
		N8	●	0.20	1.5	$\mu\text{V}/^\circ\text{C}$
$\frac{\Delta V_{OS}}{\Delta \text{Time}}$	Long Term Input Voltage Stability			0.3		$\mu\text{V}/\text{Mo}$
I_B	Input Bias Current	$0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$	●	± 2	± 20	nA
		$-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$	●	± 3	± 35	nA
				± 7	± 50	nA
		$V_{CM} = 15.1\text{V}$		0.19	0.40	μA
		$V_{CM} = 14.8\text{V}$, $0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$	●	0.20	0.60	μA
		$V_{CM} = 14.7\text{V}$, $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$	●	0.25	0.75	μA
		$V_{CM} = -15.1\text{V}$		-1.2	-0.42	μA
		$V_{CM} = -15\text{V}$, $0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$	●	-2.0	-0.46	μA
		$V_{CM} = -15\text{V}$, $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$	●	-2.3	-0.48	μA
I_{OS}	Input Offset Current	$0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$	●	3	15	nA
		$-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$	●	5	20	nA
				8	40	nA
		$V_{CM} = 15.1\text{V}$		5	25	nA
		$V_{CM} = 14.8\text{V}$, $0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$	●	8	35	nA
		$V_{CM} = 14.7\text{V}$, $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$	●	12	60	nA
		$V_{CM} = -15.1\text{V}$		20	105	nA
		$V_{CM} = -15\text{V}$, $0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$	●	25	160	nA
		$V_{CM} = -15\text{V}$, $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$	●	30	170	nA
e_n	Input Noise Voltage	0.1Hz to 10Hz (Note 7)		90		nV _{p-p}
		$V_{CM} = 15\text{V}$		180		nV _{p-p}
		$V_{CM} = -15\text{V}$		600		nV _{p-p}
	Input Noise Voltage Density	$f_0 = 10\text{Hz}$		5.2		nV/ $\sqrt{\text{Hz}}$
		$V_{CM} = 15\text{V}$, $f_0 = 10\text{Hz}$		7		nV/ $\sqrt{\text{Hz}}$
		$V_{CM} = -15\text{V}$, $f_0 = 10\text{Hz}$		25		nV/ $\sqrt{\text{Hz}}$
		$f_0 = 1\text{kHz}$		3.2	4.5	nV/ $\sqrt{\text{Hz}}$
		$V_{CM} = 15\text{V}$, $f_0 = 1\text{kHz}$		5.3		nV/ $\sqrt{\text{Hz}}$
		$V_{CM} = -15\text{V}$, $f_0 = 1\text{kHz}$		17		nV/ $\sqrt{\text{Hz}}$
i_n	Input Noise Current Density	$f_0 = 10\text{Hz}$		1.2		pA/ $\sqrt{\text{Hz}}$
		$f_0 = 1\text{kHz}$		0.3		pA/ $\sqrt{\text{Hz}}$
V_{CM}	Input Voltage Range	$0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$	●	-15.1	15.1	V
		$-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$	●	-15.0	14.8	V
				-15.0	14.7	V
R_{IN}	Input Resistance	Common Mode		2		G Ω
C_{IN}	Input Capacitance			4.2		pF

ELECTRICAL CHARACTERISTICS

The ● denotes the specifications which apply over the full operating temperature range, otherwise specifications are at $T_A = 25^\circ\text{C}$. $V_S = \pm 15\text{V}$, $V_{CM} = V_O = 0\text{V}$ unless otherwise noted.

SYMBOL	PARAMETER	CONDITIONS (Note 6)	MIN	TYP	MAX	UNITS
CMRR	Common Mode Rejection Ratio	$V_{CM} = -13.3\text{V to } 14\text{V}$	109	130		dB
		●	105	124		dB
		$V_{CM} = -15.1\text{V to } 15.1\text{V}$	74	95		dB
		● $V_{CM} = -15\text{V to } 14.7\text{V}$	72	91		dB
PSRR	Power Supply Rejection Ratio	$V_S = \pm 1.7\text{V to } \pm 18\text{V}$	106	130		dB
		●	103	125		dB
		$V_S = 2.7\text{V to } 40\text{V}$	108	125		dB
		● $V_S = 3.1\text{V to } 40\text{V}$	105	120		dB
A_{VOL}	Large-Signal Voltage Gain	$R_L \geq 10\text{k}$, $V_O = \pm 14\text{V}$	7	19		V/ μV
		● $0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$	4	13		V/ μV
		● $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$	3	8		V/ μV
		$R_L \geq 2\text{k}$, $V_O = \pm 13.5\text{V}$	0.50	0.75		V/ μV
		● $0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$	0.30	0.67		V/ μV
		● $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$	0.15	0.24		V/ μV
V_{OL}	Output Voltage Swing Low	$R_L \geq 600\Omega$, $V_O = \pm 10\text{V}$	0.2	0.5		V/ μV
		Above $-V_S$				
		● $I_{SINK} = 0.1\text{mA}$		110	170	mV
		● $0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$		125	200	mV
		● $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$		130	230	mV
		Above $-V_S$				
		● $I_{SINK} = 2.5\text{mA}$		170	250	mV
		● $0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$		195	320	mV
		● $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$		205	350	mV
V_{OH}	Output Voltage Swing High	Above $-V_S$				
		● $I_{SINK} = 10\text{mA}$		370	500	mV
		● $0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$		440	600	mV
		● $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$		450	650	mV
		Below $+V_S$				
		● $I_{SOURCE} = 0.1\text{mA}$		110	170	mV
		● $0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$		130	200	mV
		● $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$		140	250	mV
		Below $+V_S$				
I_{SC}	Output Short-Circuit Current (Note 3)	● $I_{SOURCE} = 2.5\text{mA}$		210	300	mV
		● $0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$		240	350	mV
		● $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$		250	375	mV
		Below $+V_S$				
		● $I_{SOURCE} = 10\text{mA}$		520	700	mV
		● $0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$		590	800	mV
		● $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$		620	850	mV
		$0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$	25	35		mA
		● $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$	20	30		mA
SR	Slew Rate	$R_L \geq 10\text{k}$ (Note 9)	1.7	2.5		V/ μs
		● $R_L \geq 10\text{k}$ (Note 9) $0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$	1.5	2.3		V/ μs
		● $R_L \geq 10\text{k}$ (Note 9) $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$	1.2	2.0		V/ μs
GBW	Gain Bandwidth Product	$f_0 = 100\text{kHz}$	4.5	7.2		MHz
		● $f_0 = 100\text{kHz}$, $0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$	3.8	6.2		MHz
		● $f_0 = 100\text{kHz}$, $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$	3.7	5.8		MHz

ELECTRICAL CHARACTERISTICS

The ● denotes the specifications which apply over the full operating temperature range, otherwise specifications are at $T_A = 25^\circ\text{C}$. $V_S = \pm 15\text{V}$, $V_{CM} = V_O = 0\text{V}$ unless otherwise noted.

SYMBOL	PARAMETER	CONDITIONS (Note 6)	MIN	TYP	MAX	UNITS
THD	Total Harmonic Distortion	$R_L = 2\text{k}\Omega$, $A_V = 1$, $f_0 = 1\text{kHz}$, $V_O = 10\text{V}_{P-P}$		0.0006		%
t_S	Settling Time	10V Step 0.1%, $A_V = +1$ 10V Step 0.01%, $A_V = +1$		5 6		μs μs
R_O	Open-Loop Output Resistance Closed-Loop Output Resistance	$I_{OUT} = 0$ $A_V = 100$, $f = 10\text{kHz}$		80 1		Ω Ω
I_S	Supply Current	$0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$ $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$		2.75 3.00 3.10	3.5 3.9 4.0	mA mA mA

Note 1: Stresses beyond those listed under Absolute Maximum Ratings may cause permanent damage to the device. Exposure to any Absolute Maximum Rating condition for extended periods may affect device reliability and lifetime.

Note 2: The inputs are protected by back-to-back diodes. Current limiting resistors are not used in order to achieve low noise. If differential input voltage exceeds $\pm 1.4\text{V}$, the input current should be limited to 25mA . If the common mode range exceeds either rail, the input current should be limited to 10mA .

Note 3: A heat sink may be required to keep the junction temperature below absolute maximum.

Note 4: The LT1677C and LT1677I are guaranteed functional over the Operating Temperature Range of -40°C to 85°C .

Note 5: The LT1677C is guaranteed to meet specified performance from 0°C to 70°C . The LT1677C is designed, characterized and expected to meet specified performance from -40°C to 85°C but is not tested or QA sampled at these temperatures. The LT1677I is guaranteed to meet specified performance from -40°C to 85°C .

Note 6: Typical parameters are defined as the 60% yield of parameter distributions of individual amplifier; i.e., out of 100 LT1677s, typically 60 op amps will be better than the indicated specification.

Note 7: See the test circuit and frequency response curve for 0.1Hz to 10Hz tester in the Applications Information section of the LT1677 data sheet.

Note 8: Noise is 100% tested at $\pm 15\text{V}$ supplies.

Note 9: Slew rate is measured in $A_V = -1$; input signal is $\pm 7.5\text{V}$, output measured at $\pm 2.5\text{V}$.

Note 10: This parameter is not 100% tested. $V_S = 3\text{V}$ and 5V limits are guaranteed by correlation to $V_S = \pm 15\text{V}$ test.

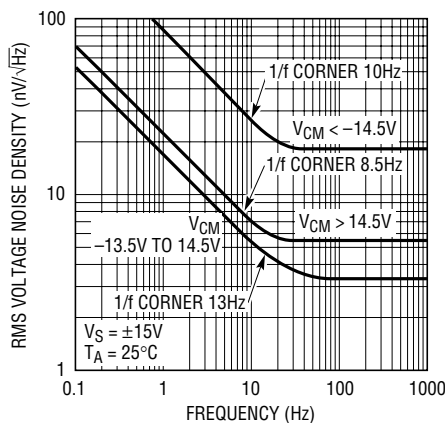
Note 11: $V_S = 5\text{V}$ limits are guaranteed by correlation to $V_S = 3\text{V}$ and $V_S = \pm 15\text{V}$ tests.

Note 12: $V_S = 3\text{V}$ limits are guaranteed by correlation to $V_S = 5\text{V}$ and $V_S = \pm 15\text{V}$ tests.

Note 13: Guaranteed by correlation to slew rate at $V_S = \pm 15\text{V}$ and GBW at $V_S = 3\text{V}$ and $V_S = \pm 15\text{V}$ tests.

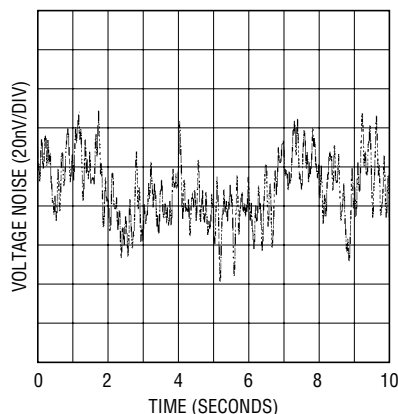
TYPICAL PERFORMANCE CHARACTERISTICS

Voltage Noise vs Frequency



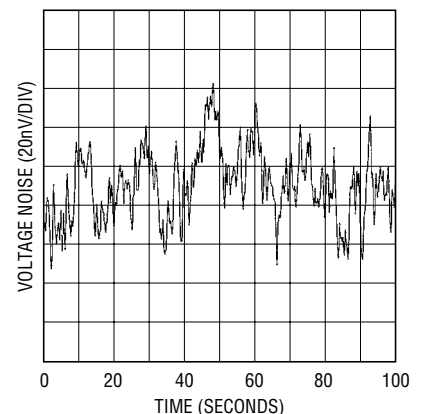
1677 G01

0.1Hz to 10Hz Voltage Noise



1677 G03

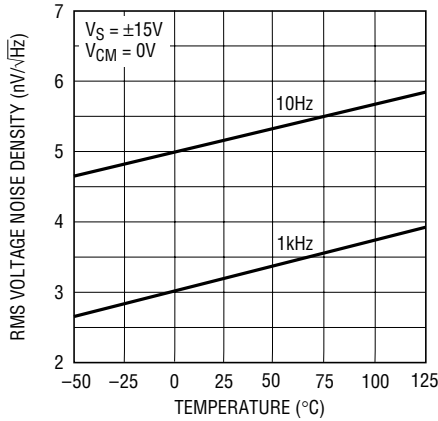
0.01Hz to 1Hz Voltage Noise



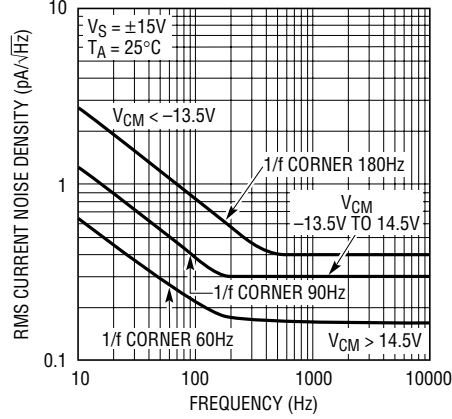
1677 G04

TYPICAL PERFORMANCE CHARACTERISTICS

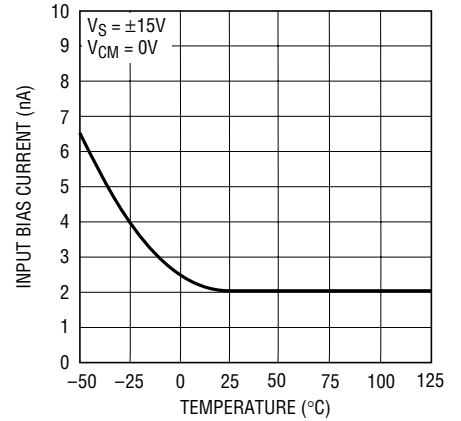
Voltage Noise vs Temperature



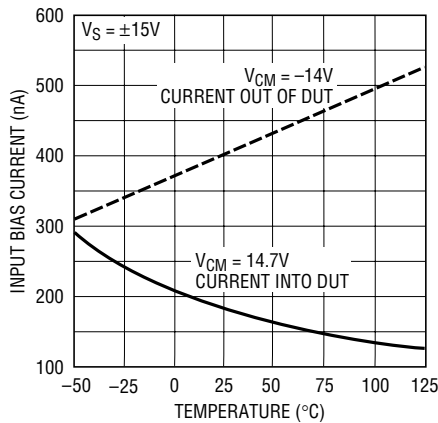
Current Noise vs Frequency



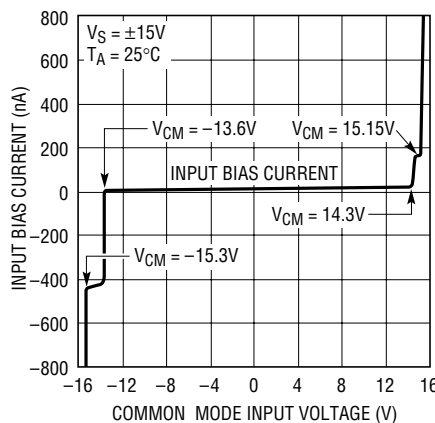
Input Bias Current vs Temperature



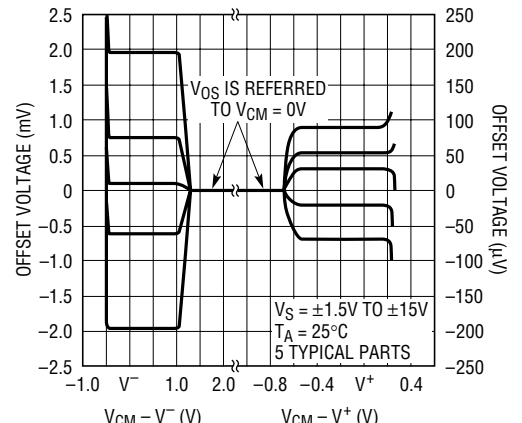
Input Bias Current vs Temperature



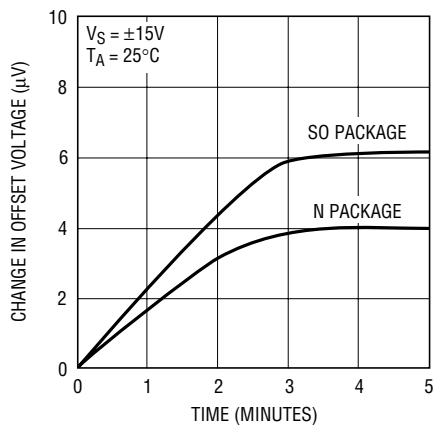
Input Bias Current Over the Common Mode Range



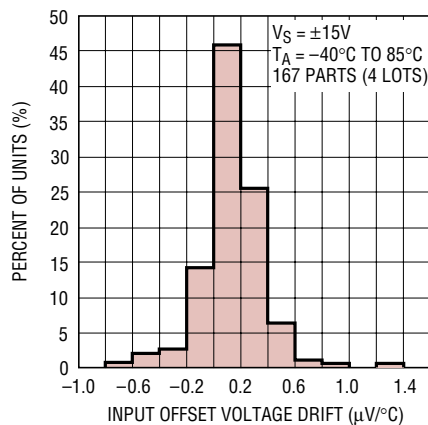
Offset Voltage Shift vs Common Mode



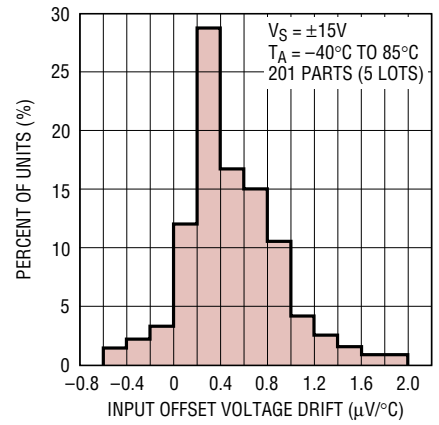
Warm-Up Drift



Distribution of Input Offset Voltage Drift (N8)

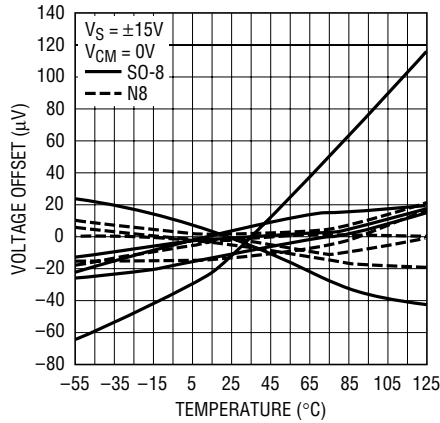


Distribution of Input Offset Voltage Drift (SO-8)



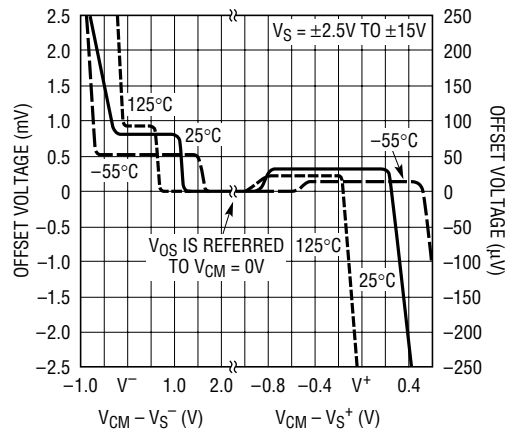
TYPICAL PERFORMANCE CHARACTERISTICS

V_{OS} vs Temperature of Representative Units



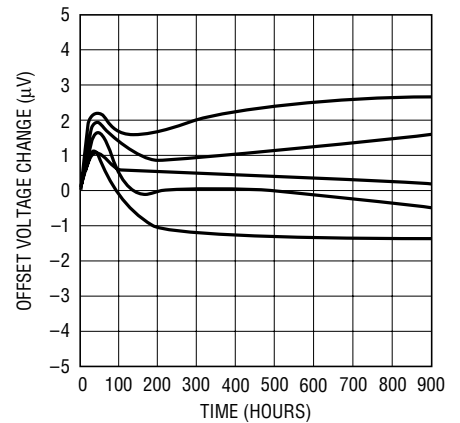
1677 G11

Common Mode Range vs Temperature



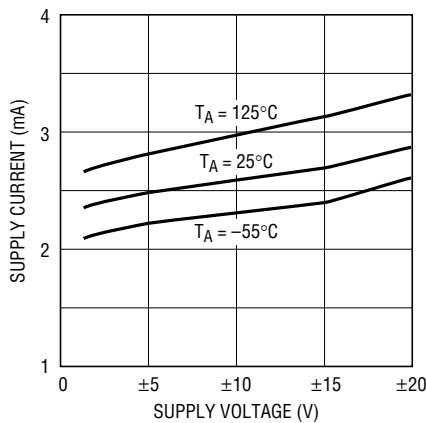
1677 G12

Long-Term Stability of Four Representative Units



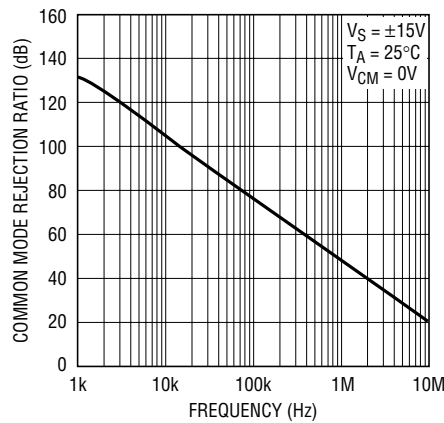
1677 G14

Supply Current vs Supply Voltage



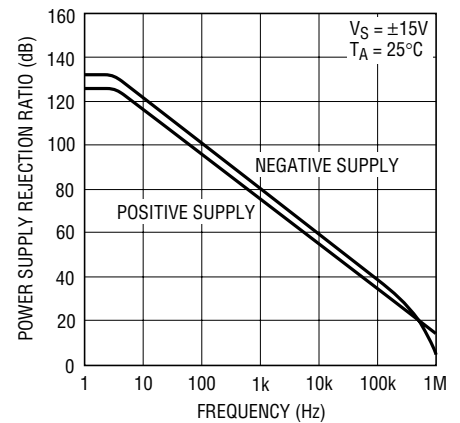
1677 G15

Common Mode Rejection Ratio vs Frequency



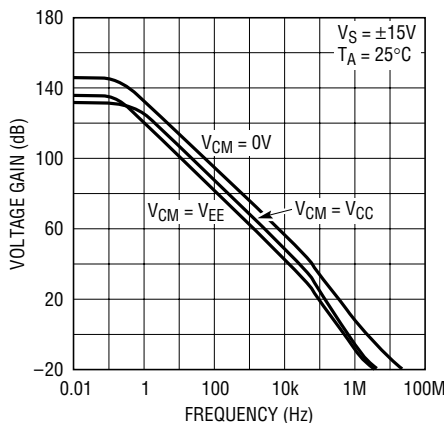
1677 G16

Power Supply Rejection Ratio vs Frequency



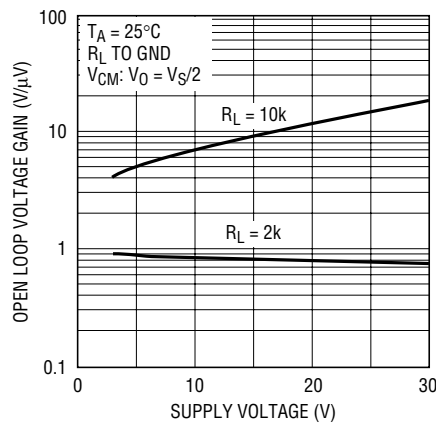
1677 G17

Voltage Gain vs Frequency



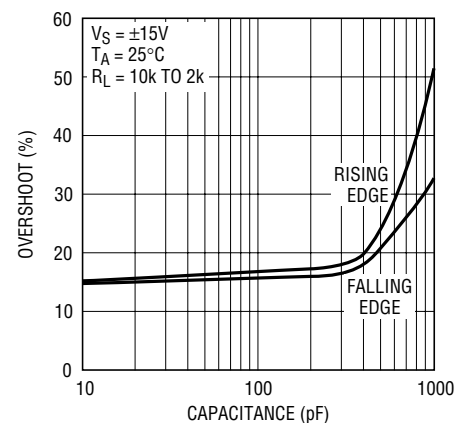
1677 G18

Voltage Gain vs Supply Voltage (Single Supply)



1677 G19

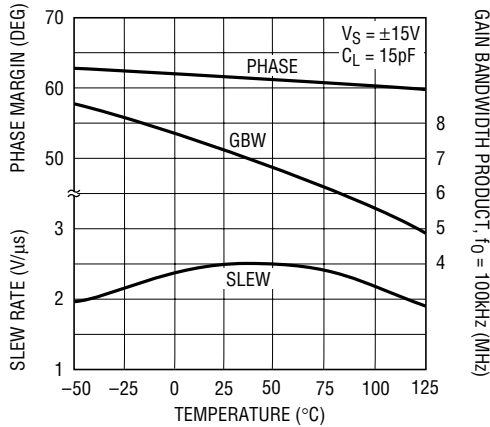
Overshoot vs Load Capacitance



1677 G21

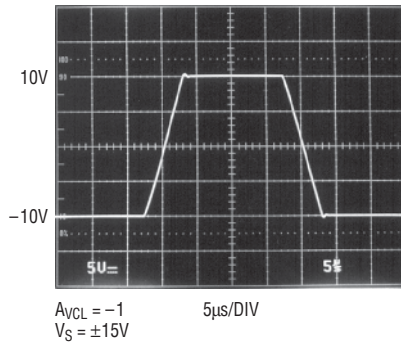
TYPICAL PERFORMANCE CHARACTERISTICS

PM, GBWP, SR vs Temperature

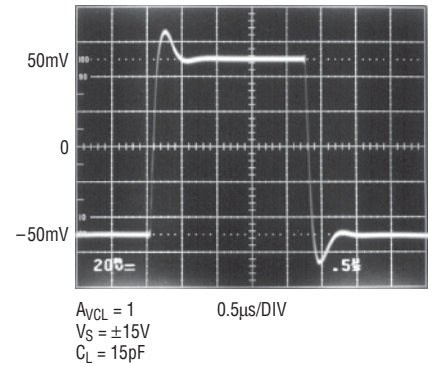


1677 G22

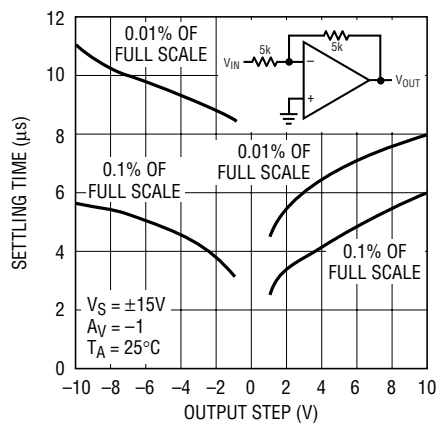
Large-Signal Transient Response



Small-Signal Transient Response

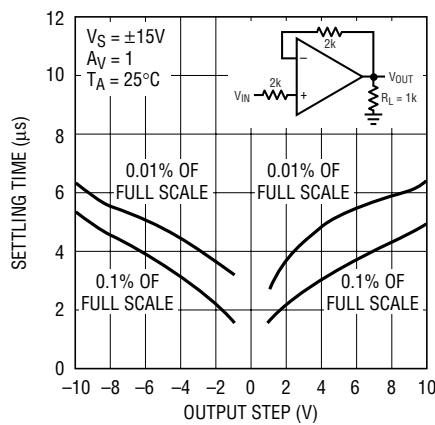


Settling Time vs Output Step (Inverting)



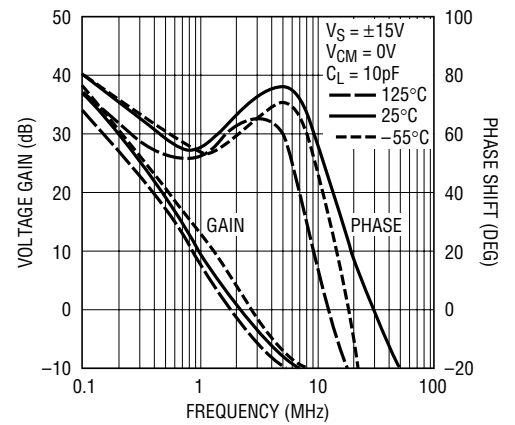
1677 G25

Settling Time vs Output Step (Noninverting)



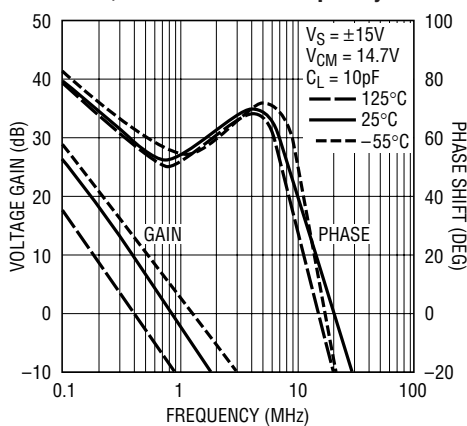
1677 G26

Gain, Phase Shift vs Frequency



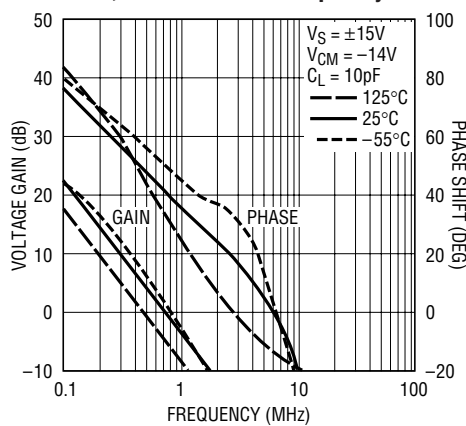
1677 G34

Gain, Phase Shift vs Frequency



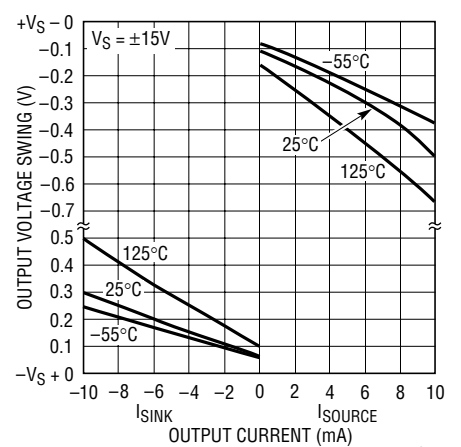
1677 G35

Gain, Phase Shift vs Frequency



1677 G36

Output Voltage Swing vs Load Current

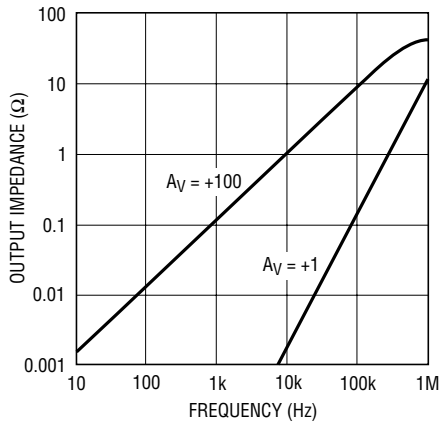


1677 G27

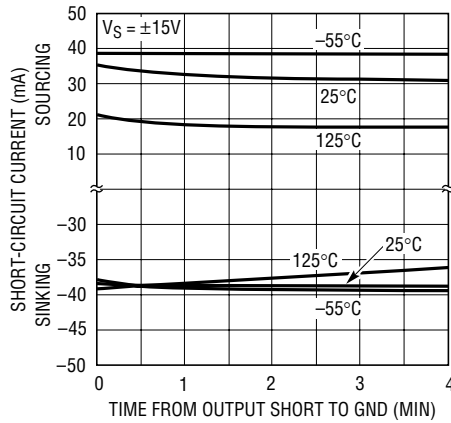
1677fa

TYPICAL PERFORMANCE CHARACTERISTICS

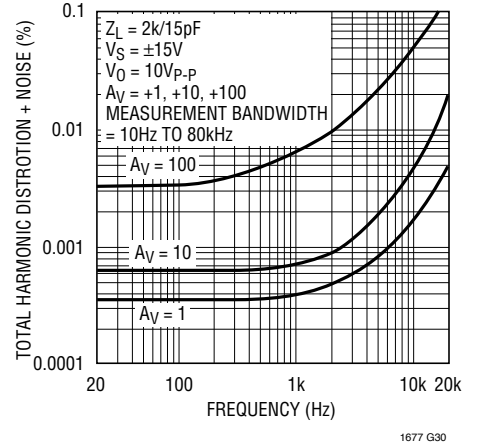
Closed-Loop Output Impedance vs Frequency



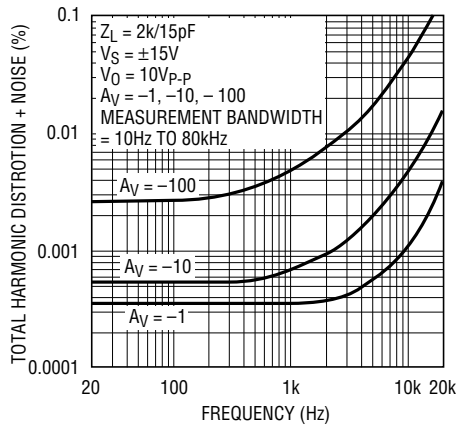
Output Short-Circuit Current vs Time



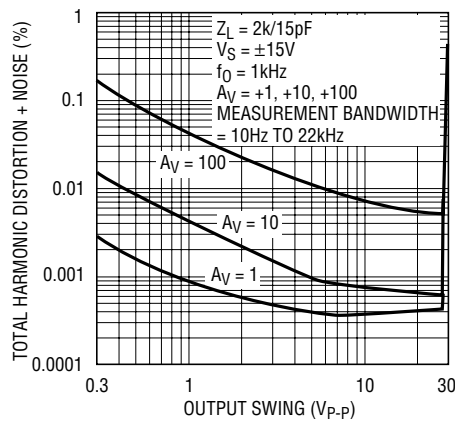
Total Harmonic Distortion and Noise vs Frequency for Noninverting Gain



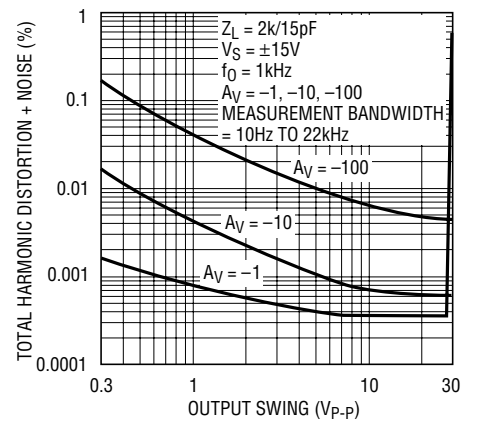
Total Harmonic Distortion and Noise vs Frequency for Inverting Gain



Total Harmonic Distortion and Noise vs Output Amplitude for Noninverting Gain



Total Harmonic Distortion and Noise vs Output Amplitude for Inverting Gain



Ultralow Noise, Low Distortion, Audio Op Amp


FEATURES

- Voltage Noise: $1.2\text{nV}/\sqrt{\text{Hz}}$ Max at 1kHz
 $0.9\text{nV}/\sqrt{\text{Hz}}$ Typ at 1kHz
- Voltage and Current Noise 100% Tested
- Gain-Bandwidth Product: 40MHz Min
- Slew Rate: $10\text{V}/\mu\text{s}$ Min
- Voltage Gain: 2 Million Min
- Low THD at 10kHz, $A_V = -10$, $R_L = 600\Omega$: 0.002%
 $V_O = 7V_{\text{RMS}}$
- Low IMD, CCIF Method, $A_V = +10$: 0.002%
 $R_L = 600\Omega$
 $V_O = 7V_{\text{RMS}}$

DESCRIPTION

The LT[®]1115 is the lowest noise audio operational amplifier available. This ultralow noise performance ($0.9\text{nV}/\sqrt{\text{Hz}}$ at 1kHz) is combined with high slew rates ($>15\text{V}/\mu\text{s}$) and very low distortion specifications.

The RIAA circuit shown below using the LT1115 has very low distortion and little deviation from ideal RIAA response (see graph).

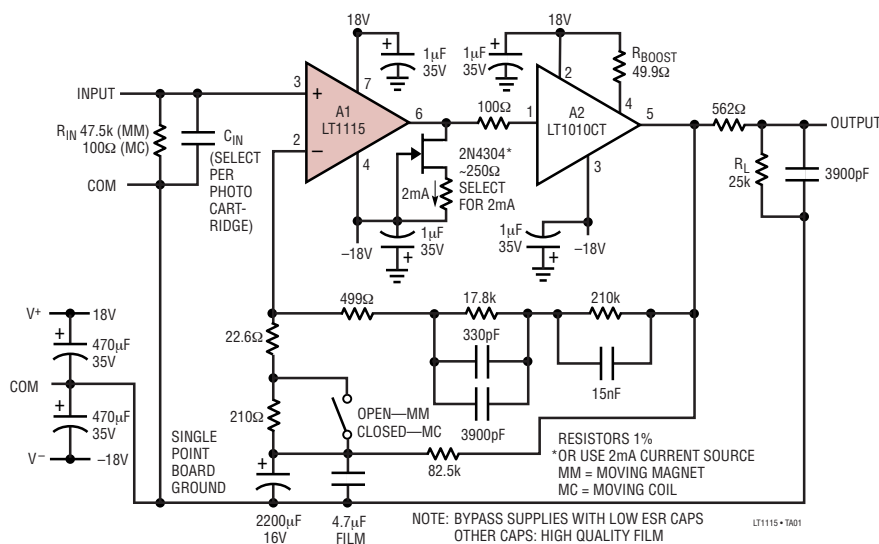
 LTC and LT are registered trademarks of Linear Technology Corporation.

APPLICATIONS

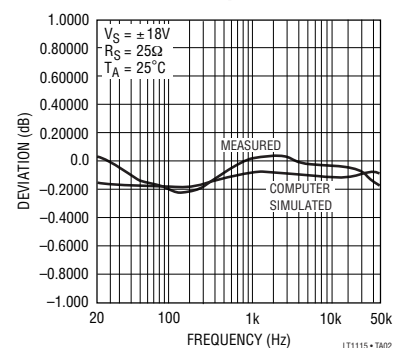
- High Quality Audio Preamplifiers
- Low Noise Microphone Preamplifiers
- Very Low Noise Instrumentation Amplifiers
- Low Noise Frequency Synthesizers
- Infrared Detector Amplifiers
- Hydrophone Amplifiers
- Low Distortion Oscillators

TYPICAL APPLICATION

RIAA Phonograph Preamplifier (40/60db Gain)



Measured Deviation from RIAA Response. Input at 1kHz = 1mV_{RMS} Pre-Emphasized



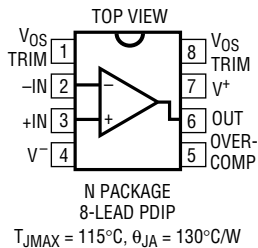
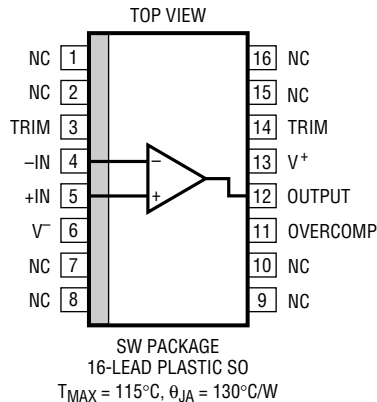
ABSOLUTE MAXIMUM RATINGS

(Note 1)

Supply Voltage $\pm 22\text{V}$
 Differential Input Current (Note 5) $\pm 25\text{mA}$
 Input Voltage Equal to Supply Voltage
 Output Short-Circuit Duration Indefinite

Operating Temperature Range 0°C to 70°C
 Storage Temperature Range -65°C to 150°C
 Lead Temperature (Soldering, 10 sec) 300°C

PACKAGE DESCRIPTION

	ORDER PART NUMBER		ORDER PART NUMBER
	LT1115CN8		LT1115CSW

LT1115 • P0101

Consult LTC Marketing for parts specified with wider operating temperature ranges.

ELECTRICAL CHARACTERISTICS $V_S = \pm 18\text{V}$, $T_A = 25^{\circ}\text{C}$, unless otherwise noted.

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
THD	Total Harmonic Distortion at 10kHz	$A_V = -10$, $V_O = 7V_{\text{RMS}}$, $R_L = 600$		< 0.002		%
IMD	Inter-Modulation Distortion (CCIF)	$A_V = 10$, $V_O = 7V_{\text{RMS}}$, $R_L = 600$		< 0.0002		%
V_{OS}	Input Offset Voltage	(Note 2)		50	200	μV
I_{OS}	Input Offset Current	$V_{\text{CM}} = 0\text{V}$		30	200	nA
I_B	Input Bias Current	$V_{\text{CM}} = 0\text{V}$		± 50	± 380	nA
e_n	Input Noise Voltage Density	$f_0 = 10\text{Hz}$ $f_0 = 1000\text{Hz}$, 100% tested		1.0 0.9	1.2	$\text{nV}/\sqrt{\text{Hz}}$ $\text{nV}/\sqrt{\text{Hz}}$
	Wideband Noise	DC to 20kHz		120		nV_{RMS}
	Corresponding Voltage Level re 0.775V			-136		dB
i_n	Input Noise Current Density (Note 3)	$f_0 = 10\text{Hz}$ $f_0 = 1000\text{Hz}$, 100% tested		4.7 1.2	2.2	$\text{pA}/\sqrt{\text{Hz}}$ $\text{pA}/\sqrt{\text{Hz}}$
	Input Resistance Common Mode Differential Mode			250 15		$\text{M}\Omega$ $\text{k}\Omega$
	Input Capacitance			5		pF
	Input Voltage Range		± 13.5	± 15.0		V

ELECTRICAL CHARACTERISTICS $V_S = \pm 18V$, $T_A = 25^\circ C$, unless otherwise noted.

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
CMRR	Common Mode Rejection Ratio	$V_{CM} = \pm 13.5V$	104	123		dB
PSRR	Power Supply Rejection Ratio	$V_S = \pm 4V$ to $\pm 19V$	104	126		dB
A_{VOL}	Large-Signal Voltage Gain	$R_L \geq 2k\Omega$, $V_O = \pm 14.5V$ $R_L \geq 1k\Omega$, $V_O = \pm 13V$ $R_L \geq 600\Omega$, $V_O = \pm 10V$	2.0 1.5 1.0	20 15 10		$V/\mu V$ $V/\mu V$ $V/\mu V$
V_{OUT}	Maximum Output Voltage Swing	No Load $R_L \geq 2k\Omega$ $R_L \geq 600\Omega$	± 15.5 ± 14.5 ± 11.0	± 16.5 ± 15.5 ± 14.5		V V V
SR	Slew Rate	$A_{VOL} = -1$	10	15		$V/\mu s$
GBW	Gain-Bandwidth Product	$f_0 = 20kHz$ (Note 4)	40	70		MHz
Z_O	Open Loop Output Impedance	$V_O = 0$, $I_O = 0$		70		Ω
I_S	Supply Current			8.5	11.5	mA

The ● denotes specifications which apply over the full operating temperature range, otherwise specifications are at $T_A = 25^\circ C$. $V_S = \pm 18V$, unless otherwise noted.

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{OS}	Input Offset Voltage	(Note 2)	●		75	280	μV
$\Delta V_{OS}/\Delta T$	Average Input Offset Drift				0.5		$\mu V/^\circ C$
I_{OS}	Input Offset Current	$V_{CM} = 0V$	●		40	300	nA
I_B	Input Bias Current	$V_{CM} = 0V$	●		± 70	± 550	nA
	Input Voltage Range		●	± 13	± 14.8		V
CMRR	Common Mode Rejection Ratio	$V_{CM} = \pm 13V$	●	100	120		dB
PSRR	Power Supply Rejection Ratio	$V_S = \pm 4.5V$ to $\pm 18V$	●	100	123		dB
A_{VOL}	Large-Signal Voltage Gain	$R_L \geq 2k\Omega$, $V_O = \pm 13V$ $R_L \geq 1k\Omega$, $V_O = \pm 11V$	●	1.5 1.0	15 10		$V/\mu V$ $V/\mu V$
V_{OUT}	Maximum Output Voltage Swing	No Load $R_L \geq 2k\Omega$ $R_L \geq 600\Omega$	●	± 15 ± 13.8 ± 10	± 16.3 ± 15.3 ± 14.3		V V V
I_S	Supply Current		●		9.3	13	mA

Note 1: Absolute Maximum Ratings are those values beyond which the life of a device may be impaired.

Note 2: Input Offset Voltage measurements are performed by automatic test equipment approximately 0.5 sec after application of power.

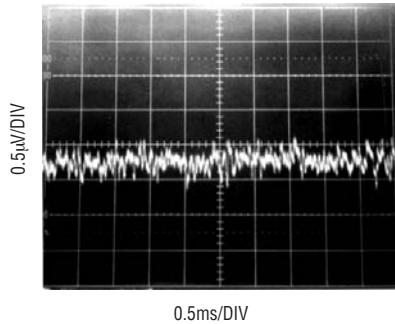
Note 3: Current noise is defined and measured with balanced source resistors. The resultant voltage noise (after subtracting the resistor noise on an RMS basis) is divided by the sum of the two source resistors to obtain current noise.

Note 4: Gain-bandwidth product is not tested. It is guaranteed by design and by inference from the slew rate measurement.

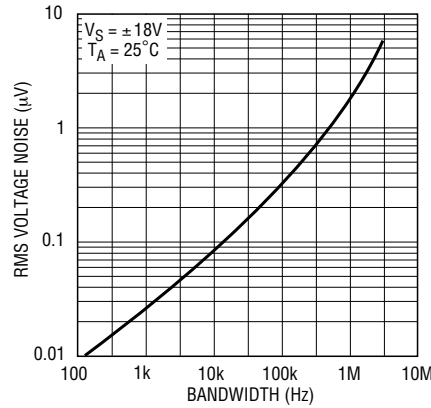
Note 5: The inputs are protected by back-to-back diodes. Current limiting resistors are not used in order to achieve low noise. If differential input voltage exceeds $\pm 1.8V$, the input current should be limited to 25mA.

TYPICAL PERFORMANCE CHARACTERISTICS

Wideband Noise, DC to 20kHz

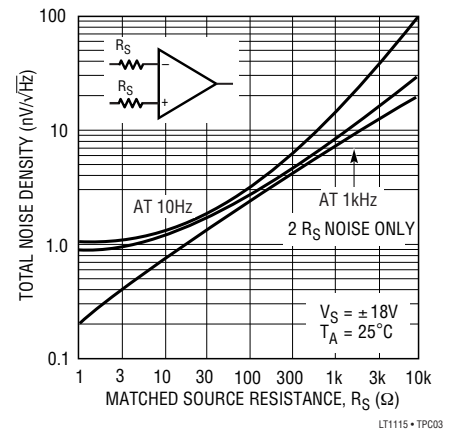


Wideband Voltage Noise
(0.1Hz to Frequency Indicated)



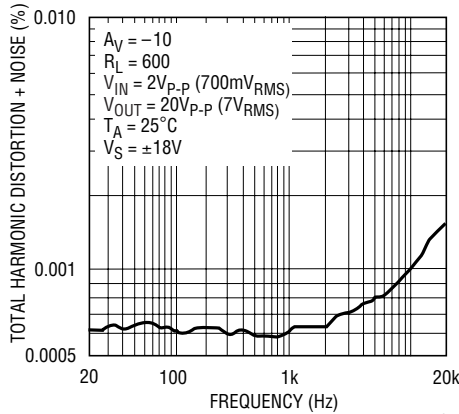
LT1115 • TPC02

Total Noise vs Matched Source Resistance



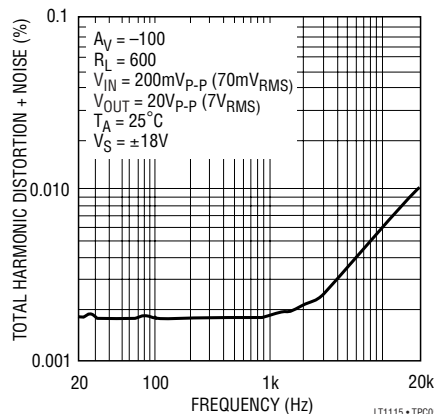
LT1115 • TPC03

THD + Noise vs Frequency
($A_V = -10$)



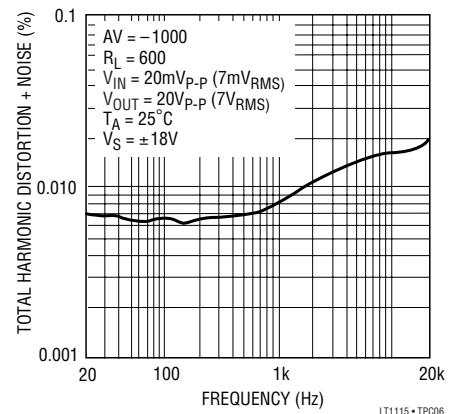
LT1115 • TPC04

THD + Noise vs Frequency
($A_V = -100$)



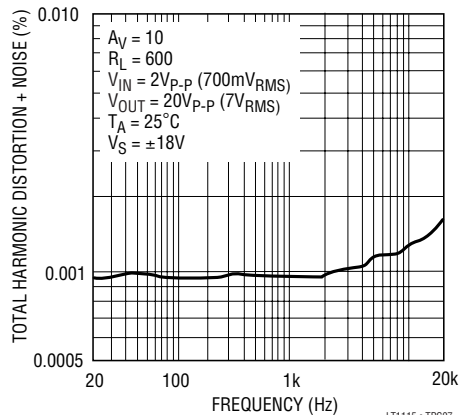
LT1115 • TPC05

THD + Noise vs Frequency
($A_V = -1000$)



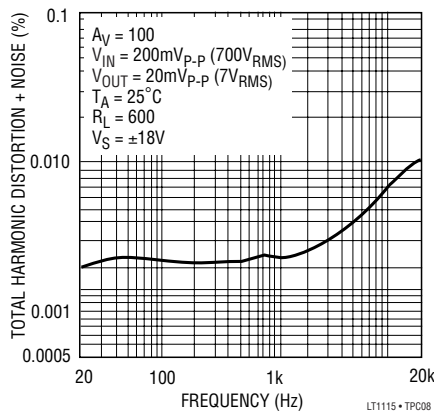
LT1115 • TPC06

THD + Noise vs Frequency
($A_V = 10$)



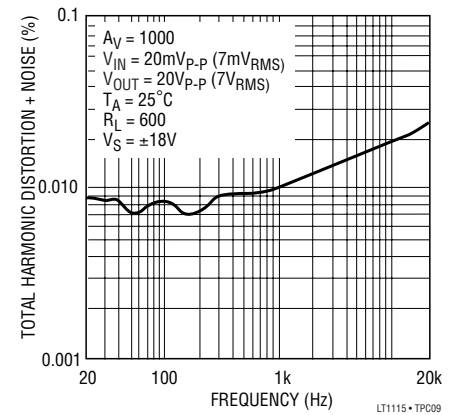
LT1115 • TPC07

THD + Noise vs Frequency
($A_V = 100$)



LT1115 • TPC08

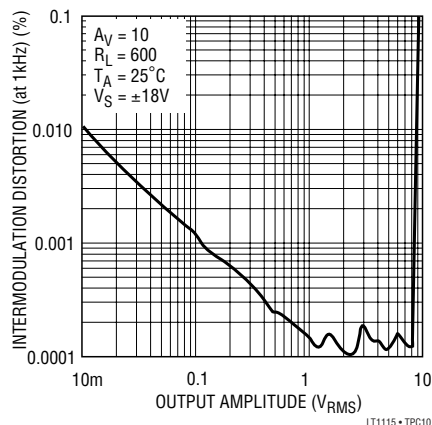
THD + Noise vs Frequency
($A_V = 1000$)



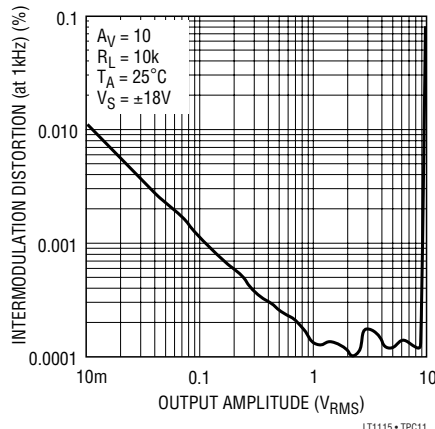
LT1115 • TPC09

TYPICAL PERFORMANCE CHARACTERISTICS

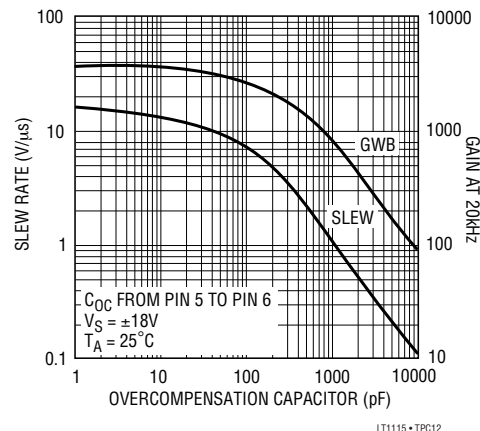
CCIF IMD Test (Twin Equal Amplitude Tones at 13 and 14kHz)*



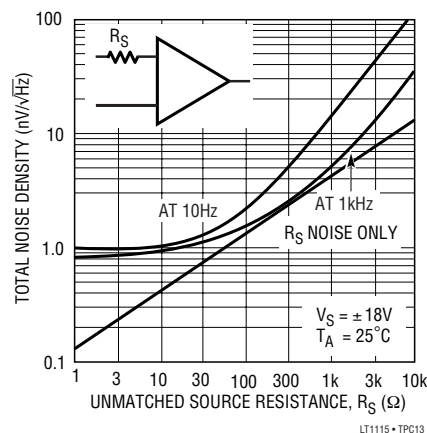
CCIF IMD Test (Twin Equal Amplitude Tones at 13 and 14kHz)*



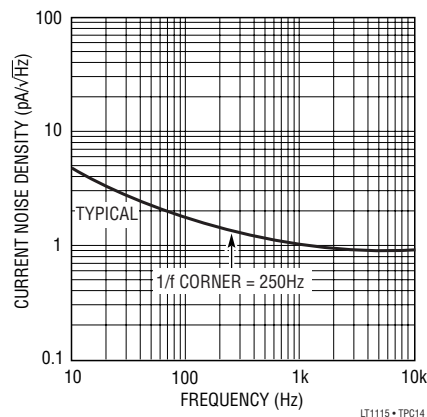
Slew Rate, Gain-Bandwidth-Product vs Overcompensation Capacitor



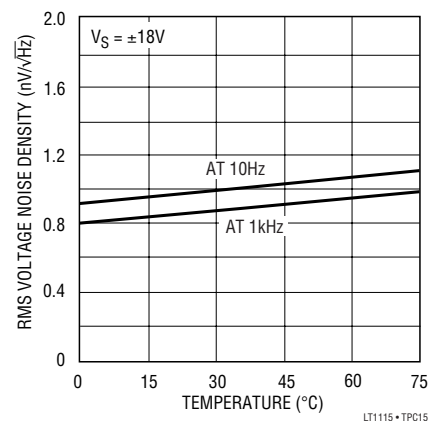
Total Noise vs Unmatched Source Resistance



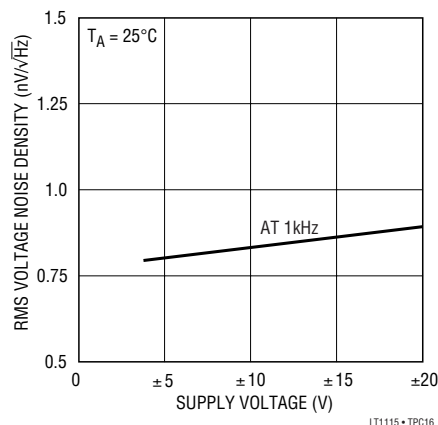
Current Noise Spectrum



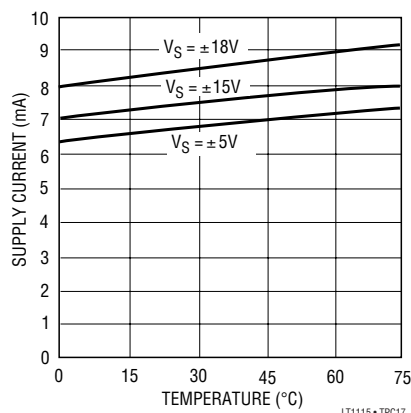
Voltage Noise vs Temperature



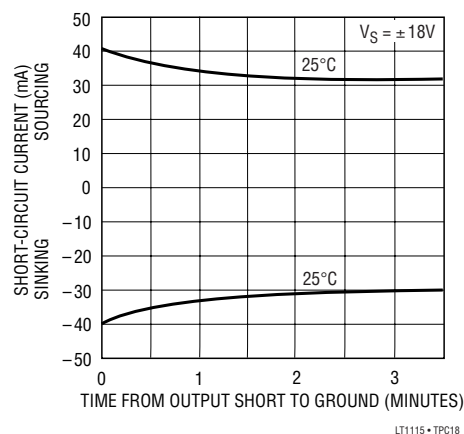
Voltage Noise vs Supply Voltage



Supply Current vs Temperature



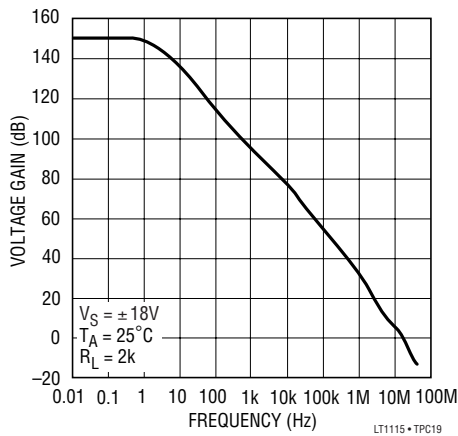
Output Short-Circuit Current vs Time



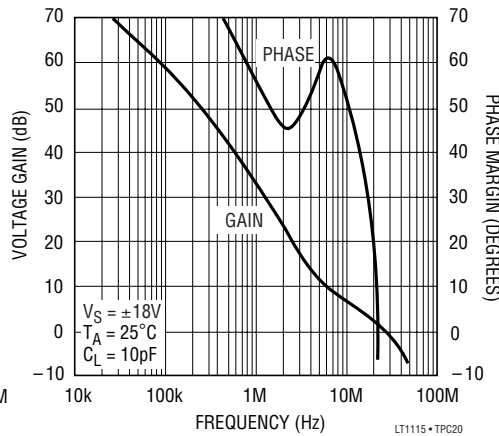
*See CCIF Test Note at end of "Typical Performance Characteristics".

TYPICAL PERFORMANCE CHARACTERISTICS

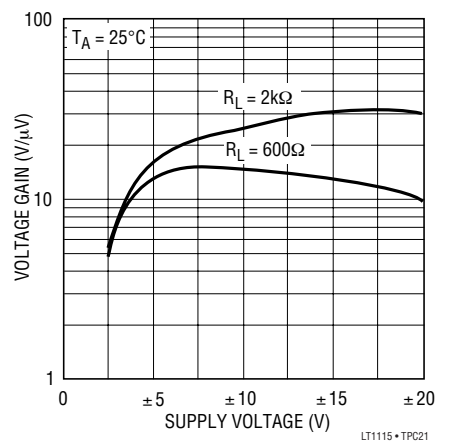
Voltage Gain vs Frequency



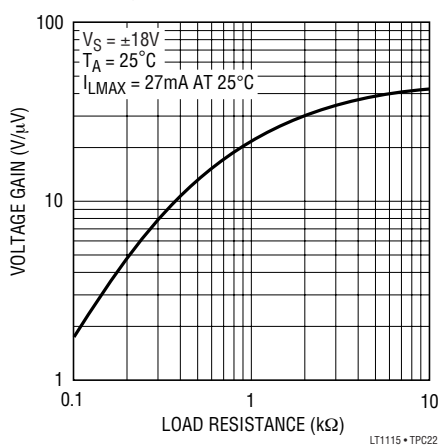
Gain, Phase vs Frequency



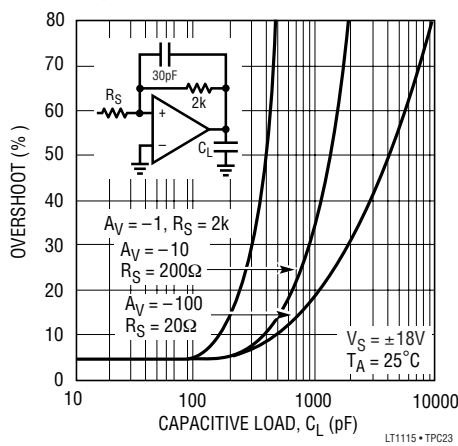
Voltage Gain vs Supply Voltage



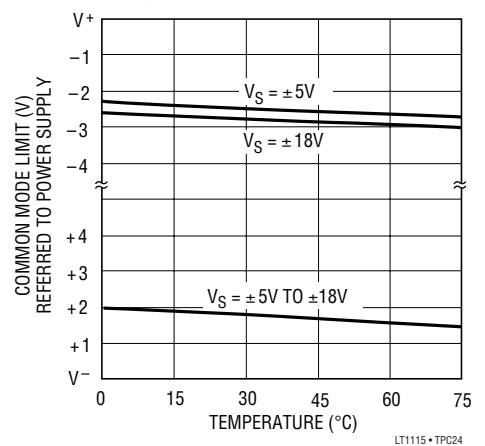
Voltage Gain vs Load Resistance



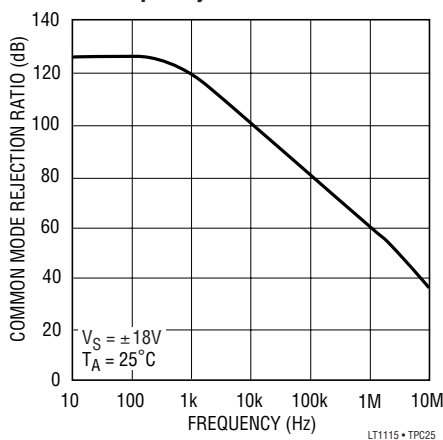
Capacitance Load Handling



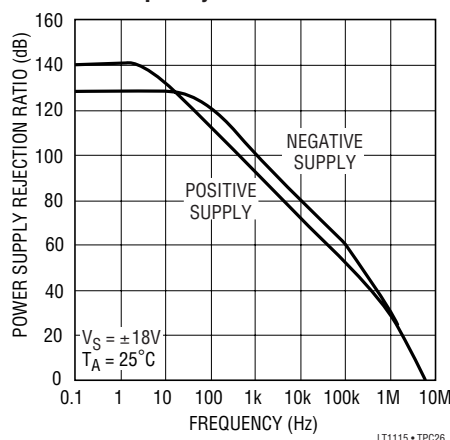
Common Mode Limit Over Temperature



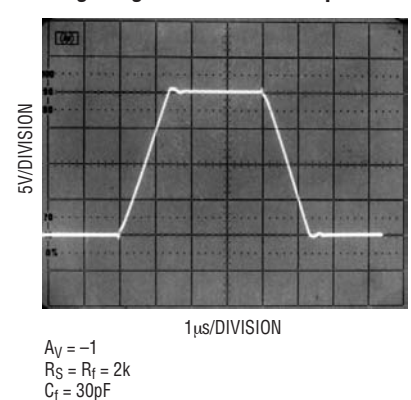
Common Mode Rejection Ratio vs Frequency



Power Supply Rejection Ratio vs Frequency

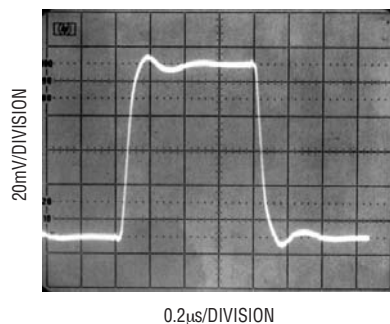


Large-Signal Transient Response



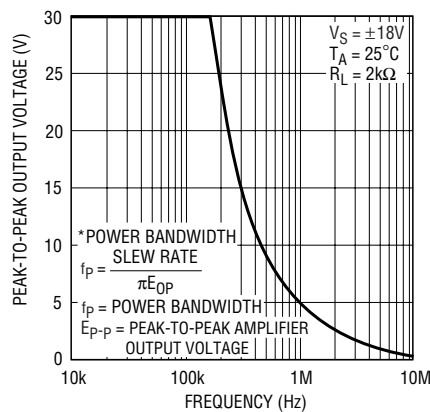
TYPICAL PERFORMANCE CHARACTERISTICS

Small-Signal Transient Response



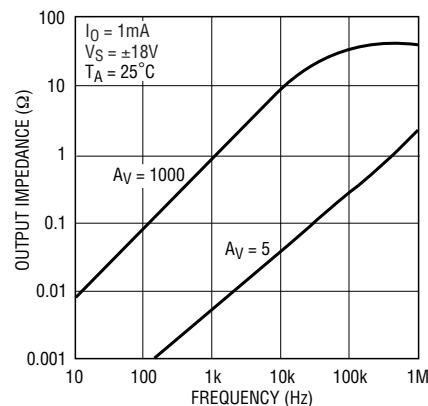
$A_V = -1$,
 $R_S = R_f = 2k\Omega$
 $C_f = 30pF$
 $C_L = 80pF$

Maximum Output vs Frequency (Power Bandwidth*)



LT1115 • TPC29

Closed-Loop Output Impedance



LT1115 • TPC30

CCIF Testing

Note: The CCIF twin-tone intermodulation test inputs two closely spaced equal amplitude tones to the device under test (DUT). The analyzer then measures the intermodulation distortion (IMD) produced in the DUT by measuring the difference tone equal to the spacing between the tones.

The amplitude of the IMD test input is in sinewave peak equivalent terms. As an example, selecting an amplitude of 1.000V will result in the complex IMD signal having the same 2.828V peak-to-peak amplitude that a 1.000V sinewave has. Clipping in a DUT will thus occur at the same input amplitude for THD + N and IMD modes.

APPLICATIONS INFORMATION

The LT1115 is a very high performance op amp, but not necessarily one which is optimized for universal application. Because of very low voltage noise and the resulting high gain-bandwidth product, the device is most applicable to relatively high gain applications. Thus, while the LT1115 will provide notably superior performance to the 5534 in most applications, the device may require circuit modifications to be used at very low noise gains. The part is not generally applicable for unity gain followers or inverters. In general, it should always be used with good low impedance bypass capacitors on the supplies, low impedance feedback values, and minimal capacitive loading. Ground plane construction is recommended, as is a compact layout.

Voltage Noise vs Current Noise

The LT1115's less than $1nV/\sqrt{Hz}$ voltage noise matches that of the LT1028 and is three times better than the lowest voltage noise heretofore available (on the LT1007/1037). A necessary condition for such low voltage noise is operating the input transistors at nearly 1mA of collector currents, because voltage noise is inversely proportional to the square root of the collector current. Current noise, however, is directly proportional to the square root of the collector current. Consequently, the LT1115's current noise is significantly higher than on most monolithic op amps.

16-Channel, 24-Bit Analog-to-Digital Converter

Check for Samples: [ADS1258](#)

FEATURES

- 24 Bits, No Missing Codes
- Fixed-Channel or Automatic Channel Scan
- Fixed-Channel Data Rate: 125kSPS
- Auto-Scan Data Rate: 23.7kSPS/Channel
- Single-Conversion Settled Data
- 16 Single-Ended or 8 Differential Inputs
- Unipolar (+5V) or Bipolar ($\pm 2.5V$) Operation
- Low Noise: $2.8\mu V_{RMS}$ at 1.8kSPS
- 0.0003% Integral Nonlinearity
- DC Stability (typical):
0.02 $\mu V/^{\circ}C$ Offset Drift, 0.4ppm/ $^{\circ}C$ Gain Drift
- Open-Sensor Detection
- Conversion Control Pin
- Multiplexer Output for External Signal Conditioning
- On-Chip Temperature, Reference, Offset, Gain, and Supply Voltage Readback
- 42mW Power Dissipation
- Standby, Sleep, and Power-Down Modes
- 8 General-Purpose Inputs/Outputs (GPIO)
- 32.768kHz Crystal Oscillator or External Clock

APPLICATIONS

- Medical, Avionics, and Process Control
- Machine and System Monitoring
- Fast Scan Multi-Channel Instrumentation
- Industrial Systems
- Test and Measurement Systems

DESCRIPTION

The ADS1258 is a 16-channel (multiplexed), low-noise, 24-bit, delta-sigma ($\Delta\Sigma$) analog-to-digital converter (ADC) that provides single-cycle settled data at channel scan rates from 1.8k to 23.7k samples per second (SPS) per channel. A flexible input multiplexer accepts combinations of eight differential or 16 single-ended inputs with a full-scale differential range of 5V or true bipolar range of $\pm 2.5V$ when operating with a 5V reference. The fourth-order delta-sigma modulator is followed by a fifth-order sinc digital filter optimized for low-noise performance.

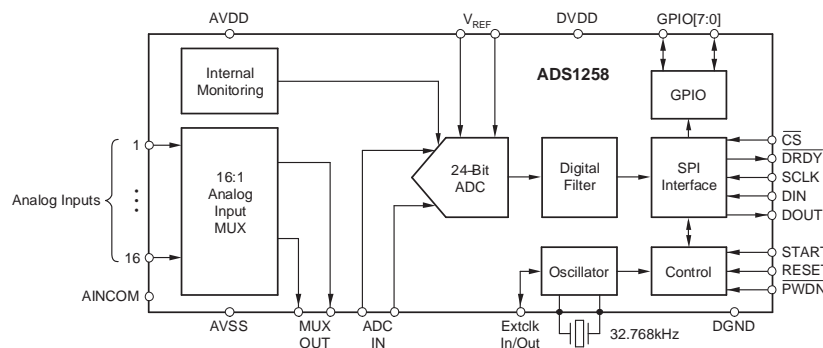
The differential output of the multiplexer is accessible to allow signal conditioning prior to the input of the ADC. Internal system monitor registers provide supply voltage, temperature, reference voltage, gain, and offset data.

An onboard PLL generates the system clock from a 32.768kHz crystal, or can be overridden by an external clock source. A buffered system clock output (15.7MHz) is provided to drive a microcontroller or additional converters.

Serial digital communication is handled via an SPI™-compatible interface. A simple command word structure controls channel configuration, data rates, digital I/O, monitor functions, etc.

Programmable sensor bias current sources can be used to bias sensors or verify sensor integrity.

The ADS1258 operates from a unipolar +5V or bipolar $\pm 2.5V$ analog supply and a digital supply compatible with interfaces ranging from 2.7V to 5.25V. The ADS1258 is available in a QFN-48 package.



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

SPI is a trademark of Motorola, Inc.

All other trademarks are the property of their respective owners.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of the Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

Copyright © 2005–2011, Texas Instruments Incorporated



This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

ORDERING INFORMATION

For the most current package and ordering information see the Package Option Addendum at the end of this document, or visit the [ADS1258 device product folder](#) at www.ti.com.

ABSOLUTE MAXIMUM RATINGS⁽¹⁾

Over operating free-air temperature range (unless otherwise noted).

	ADS1258	UNIT
AVDD to AVSS	–0.3 to +5.5	V
AVSS to DGND	–2.8 to +0.3	V
DVDD to DGND	–0.3 to +5.5	V
Input Current	100, Momentary	mA
Input Current	10, Continuous	mA
Analog Input Voltage	AVSS – 0.3 to AVDD + 0.3	V
Digital Input Voltage to DGND	–0.3 to DVDD + 0.3	V
Maximum Junction Temperature	+150	°C
Operating Temperature Range	–40 to +105	°C
Storage Temperature Range	–60 to +150	°C

- (1) Stresses above these ratings may cause permanent damage. Exposure to absolute maximum conditions for extended periods may degrade device reliability. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those specified is not implied.

ELECTRICAL CHARACTERISTICS

All specifications at $T_A = -40^{\circ}\text{C}$ to $+105^{\circ}\text{C}$, $\text{AVDD} = +2.5\text{V}$, $\text{AVSS} = -2.5\text{V}$, $\text{DVDD} = +3.3\text{V}$, $\text{V}_{\text{REF}} = +4.096\text{V}$, $\text{V}_{\text{REFN}} = -2.5\text{V}$, $f_{\text{CLK}} = 16\text{MHz}$ (external clock) or $f_{\text{CLK}} = 15.729\text{MHz}$ (internal clock), and OPA227 buffer between MUX outputs and ADC inputs, unless otherwise noted.

PARAMETER		TEST CONDITIONS	ADS1258			UNIT
			MIN	TYP	MAX	
ANALOG MULTIPLEXER INPUTS						
Absolute Input Voltage	AIN0–AIN15, AINCOM with respect to DGND		AVSS – 100mV		AVDD + 100mV	V
On-Channel Resistance				80		Ω
Crosstalk		f _{IN} = 1kHz		–110		dB
Sensor Bias (Current Source)		SBCS[1:0] = 01		1.5		μA
		SBCS[1:0] = 11		24		
1.5μA:24μA Ratio Error				1		%
ADC INPUT						
Full-Scale Input Voltage	(V _{IN} = ADCINP – ADCINN)			±1.06̄ V _{REF}		V
Absolute Input Voltage	(ADCINP, ADCINN)		AVSS – 100mV		AVDD + 100mV	V
Differential Input Impedance				65		kΩ
SYSTEM PERFORMANCE						
Resolution		No Missing Codes	24			Bits
Data Rate, Fixed-Channel Mode			1.953		125	kSPS
Data Rate, Auto-Scan Mode			1.805		23.739	kSPS
Integral Nonlinearity (INL) ⁽¹⁾		Differential Input		0.0003	0.0010	% of FSR ⁽²⁾
Offset Error	Chopping Off	Shorted Inputs		20		μV
	Chopping On			1	10	
Offset Drift ⁽³⁾	Chopping Off	Shorted Inputs		0.5		μV/°C
	Chopping On			0.02	0.1	
Gain Error				0.1	0.5	%
Gain Drift ⁽³⁾				0.4	2	ppm/°C
Noise			(see Table 6)			
Common-Mode Rejection		f _{CM} = 60Hz	90	100		dB
Power-Supply Rejection	AVDD, AVSS	f _{PS} = 60Hz	70	85		dB
	DVDD		80	95		
VOLTAGE REFERENCE INPUT						
Reference Input Voltage	(V _{REF} = VREFP – VREFN)		0.5	4.096	AVDD – AVSS	V
Negative Reference Input (VREFN)			AVSS – 0.1V		VREFP – 0.5	V
Positive Reference Input (VREFP)			VREFN + 0.5		AVDD + 0.1V	V
Reference Input Impedance				40		kΩ
SYSTEM PARAMETERS						
External Reference Reading Error				1	3	%
Analog Supply Reading Error				1	3	%
Temperature Sensor Reading	Voltage	T _A = +25°C ⁽⁴⁾		168		mV
	Coefficient	See note ⁽⁴⁾		394		μV/°C
		See note ⁽⁵⁾		563		μV/°C

(1) Best straight line fit method.

(2) FSR = Full-scale range = $2.13 \text{ V}_{\text{REF}}$.

(3) Ensured by characterization.

(4) Only ADS1258 temperature forced; test PCB in free-air.

(5) ADS1258 and test PCB temperatures forced together.

ELECTRICAL CHARACTERISTICS (continued)

All specifications at $T_A = -40^{\circ}\text{C}$ to $+105^{\circ}\text{C}$, $\text{AVDD} = +2.5\text{V}$, $\text{AVSS} = -2.5\text{V}$, $\text{DVDD} = +3.3\text{V}$, $V_{\text{REF}} = +4.096\text{V}$, $V_{\text{REFN}} = -2.5\text{V}$, $f_{\text{CLK}} = 16\text{MHz}$ (external clock) or $f_{\text{CLK}} = 15.729\text{MHz}$ (internal clock), and OPA227 buffer between MUX outputs and ADC inputs, unless otherwise noted.

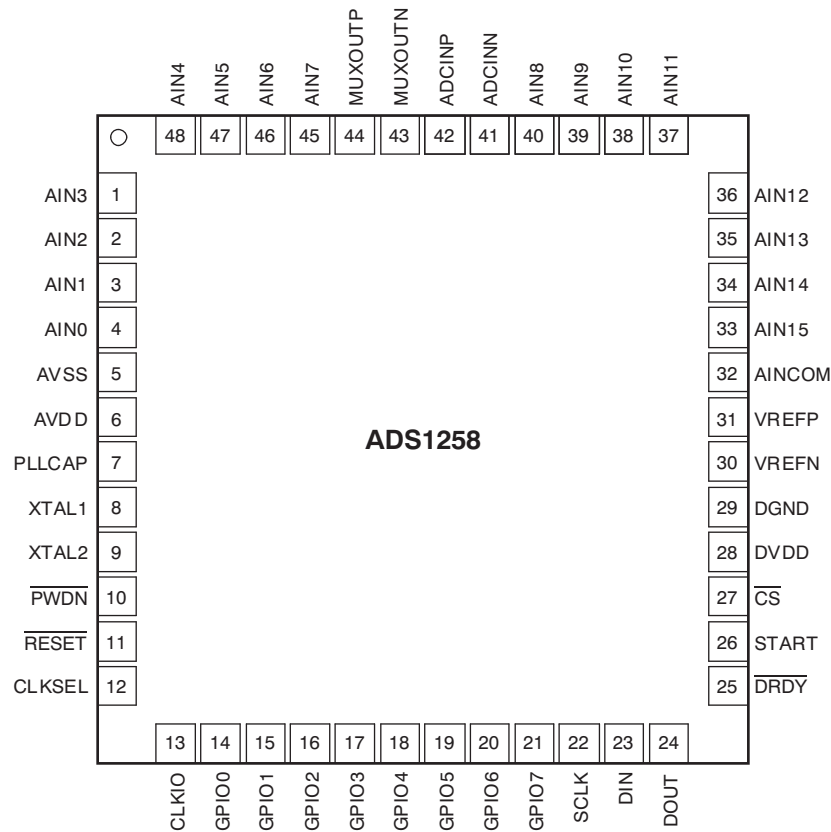
PARAMETER		TEST CONDITIONS	ADS1258			UNIT
			MIN	TYP	MAX	
DIGITAL INPUT/OUTPUT						
Logic Levels	V _{IH}		0.7DVDD		DVDD	V
	V _{IL}		DGND		0.3DVDD	V
	V _{OH}	I _{OH} = 2mA	0.8DVDD		DVDD	V
	V _{OL}	I _{OL} = 2mA	DGND		0.2DVDD	V
Input Leakage		V _{IN} = DVDD, GND			10	μA
Master Clock Input (CLKIO)	Frequency		0.1		16	MHz
	Duty Cycle		40		60	%
Crystal Oscillator (see Crystal Oscillator section)	Crystal Frequency			32.768		kHz
	Clock Output Frequency			15.729		MHz
	Start-Up Time (Clock Output Valid)			150		mS
	Clock Output Duty Cycle		40		60	%
POWER SUPPLY						
DVDD			2.7		5.25	V
AVSS			−2.6		0	V
AVDD			AVSS + 4.75		AVSS + 5.25	V
DVDD Supply Current	External Clock Operation			0.25	0.6	mA
	Internal Oscillator Operation, Clock Output Disabled			0.04		mA
	Internal Oscillator Operation, Clock Output Enabled ⁽⁶⁾			1.4		mA
	Power-Down ⁽⁷⁾			1	25	μA
AVDD, AVSS Supply Current	Converting			8.2	12	mA
	Standby			5.6		mA
	Sleep			2.1		mA
	Power-Down			2	85	μA
Power Dissipation	Converting			42	62	mW
	Standby			29		mW
	Sleep			11		mW
	Power-Down			14		μW

(6) CLKIO load = 20pF.

(7) No clock applied to CLKIO.

PIN CONFIGURATION

RTC PACKAGE QFN-48 (TOP VIEW)



PIN ASSIGNMENTS

PIN #	NAME	ANALOG/DIGITAL INPUT/OUTPUT	DESCRIPTION
1	AIN3	Analog Input	Analog Input 3: Single-Ended Channel 3, Differential Channel 1 (–)
2	AIN2	Analog Input	Analog Input 2: Single-Ended Channel 2, Differential Channel 1 (+)
3	AIN1	Analog Input	Analog Input 1: Single-Ended Channel 1, Differential Channel 0 (–)
4	AIN0	Analog Input	Analog Input 0: Single-Ended Channel 0, Differential Channel 0 (+)
5	AVSS	Analog	Negative Analog Power Supply: 0V for unipolar operation, –2.5V for bipolar operation. (Internally connected to exposed thermal pad of QFN package.)
6	AVDD	Analog	Positive Analog Power Supply: +5V for unipolar operation, +2.5V for bipolar operation.
7	PLLCAP	Analog	PLL Bypass Capacitor: Connect 22nF capacitor to AVSS when using crystal oscillator.
8	XTAL1	Analog	32.768kHz Crystal Oscillator Input 1; see Crystal Oscillator section.
9	XTAL2	Analog	32.768kHz Crystal Oscillator Input 2; see Crystal Oscillator section.
10	PWDN	Digital Input	Power-Down Input: Hold low for minimum of two f_{CLK} cycles to engage low-power mode.
11	RESET	Digital Input	Reset Input: Hold low for minimum of two f_{CLK} cycles to reset the device.
12	CLKSEL	Digital Input	Clock Select Input: Low = Activates Crystal Oscillator, f_{CLK} output on CLKIO. High = Disables Crystal Oscillator, apply f_{CLK} to CLKIO.
13	CLKIO	Digital I/O	System Clock Input/Output (See CLKSEL pin.)
14	GPIO0	Digital I/O	General-Purpose Digital Input/Output 0
15	GPIO1	Digital I/O	General-Purpose Digital Input/Output 1
16	GPIO2	Digital I/O	General-Purpose Digital Input/Output 2
17	GPIO3	Digital I/O	General-Purpose Digital Input/Output 3
18	GPIO4	Digital I/O	General-Purpose Digital Input/Output 4
19	GPIO5	Digital I/O	General-Purpose Digital Input/Output 5

PIN ASSIGNMENTS (continued)

PIN #	NAME	ANALOG/DIGITAL INPUT/OUTPUT	DESCRIPTION
20	GPIO6	Digital I/O	General-Purpose Digital Input/Output 6
21	GPIO7	Digital I/O	General-Purpose Digital Input/Output 7
22	SCLK	Digital Input	SPI Interface Clock Input: Data clocked in on rising edge, clocked out on falling edge.
23	DIN	Digital Input	SPI Interface Data Input: Data is input to the device.
24	DOUT	Digital Output	SPI Interface Data Output: Data is output from the device.
25	$\overline{\text{DRDY}}$	Digital Output	Data Ready Output: Active low.
26	START	Digital Input	Start Conversion Input: Active high.
27	$\overline{\text{CS}}$	Digital Input	SPI Interface Chip Select Input: Active low.
28	DVDD	Digital	Digital Power Supply: 2.7V to 5.25V
29	DGND	Digital	Digital Ground
30	VREFN	Analog Input	Reference Input Negative
31	VREFP	Analog Input	Reference Input Positive
32	AINCOM	Analog Input	Analog Input Common: Common input pin to all single-ended inputs.
33	AIN15	Analog Input	Analog Input 15: Single-Ended Channel 15, Differential Channel 7 (–)
34	AIN14	Analog Input	Analog Input 14: Single-Ended Channel 14, Differential Channel 7 (+)
35	AIN13	Analog Input	Analog Input 13: Single-Ended Channel 13, Differential Channel 6 (–)
36	AIN12	Analog Input	Analog Input 12: Single-Ended Channel 12, Differential Channel 6 (+)
37	AIN11	Analog Input	Analog Input 11: Single-Ended Channel 11, Differential Channel 5 (–)
38	AIN10	Analog Input	Analog Input 10: Single-Ended Channel 10, Differential Channel 5 (+)
39	AIN9	Analog Input	Analog Input 9: Single-Ended Channel 9, Differential Channel 4 (–)
40	AIN8	Analog Input	Analog Input 8: Single-Ended Channel 8, Differential Channel 4 (+)
41	ADCINN	Analog Input	ADC Differential Input (–)
42	ADCINP	Analog Input	ADC Differential Input (+)
43	MUXOUTN	Analog Output	Multiplexer Differential Output (–)
44	MUXOUTP	Analog Output	Multiplexer Differential Output (+)
45	AIN7	Analog Input	Analog Input 7: Single-Ended Channel 7, Differential Channel 3 (–)
46	AIN6	Analog Input	Analog Input 6 : Single-Ended Channel 6, Differential Channel 3 (+)
47	AIN5	Analog Input	Analog Input 5: Single-Ended Channel 5, Differential Channel 2 (–)
48	AIN4	Analog Input	Analog Input 4: Single-Ended Channel 4, Differential Channel 2 (+)

PARAMETER MEASUREMENT INFORMATION

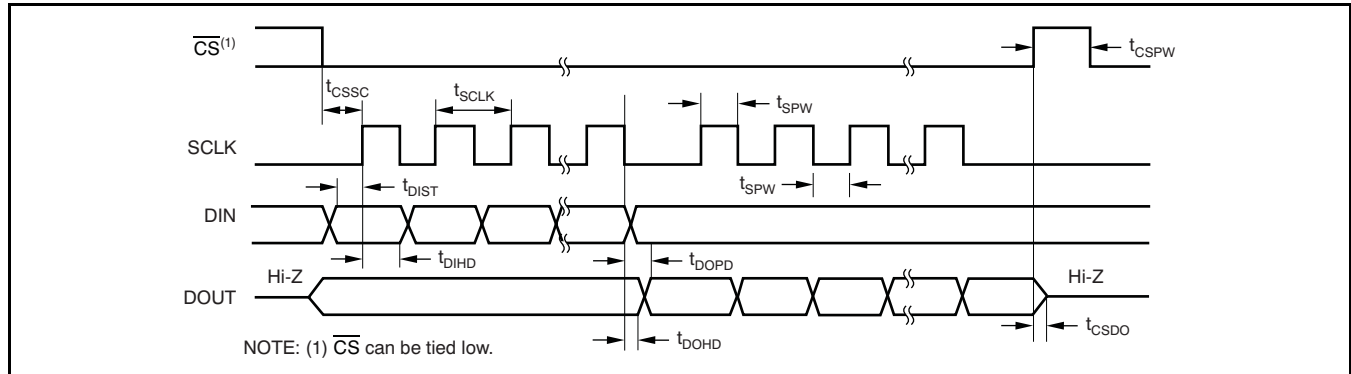


Figure 1. Serial Interface Timing

Table 1. SERIAL INTERFACE TIMING CHARACTERISTICS

At $T_A = -40^\circ\text{C}$ to $+105^\circ\text{C}$ and $DVDD = 2.7\text{V}$ to 5.25V , unless otherwise noted.

SYMBOL	DESCRIPTION	MIN	MAX	UNITS
t_{SCLK}	SCLK Period	2		$T_{\text{CLK}}^{(1)}$
t_{SPW}	SCLK High or Low Pulse Width (exceeding max resets SPI interface)	0.8	4096 ⁽²⁾	T_{CLK}
t_{CSSC}	\overline{CS} Low to First SCLK: Setup Time ⁽³⁾	2.5		T_{CLK}
t_{DIST}	Valid DIN to SCLK Rising Edge: Setup Time	10		ns
t_{DIHD}	Valid DIN to SCLK Rising Edge: Hold Time	5		ns
t_{DOPD}	SCLK Falling Edge to Valid New DOUT: Propagation Delay ⁽⁴⁾		20	ns
t_{DOHD}	SCLK Falling Edge to Old DOUT Invalid: Hold Time	0		ns
t_{CSDO}	\overline{CS} High to DOUT Invalid (tri-state)		5	T_{CLK}
t_{CSPW}	\overline{CS} Pulse Width High	2		T_{CLK}

(1) $T_{\text{CLK}} = \text{master clock period} = 1/f_{\text{CLK}}$.

(2) Programmable to 256 T_{CLK} .

(3) \overline{CS} can be tied low.

(4) DOUT load = 20 pF || 100k Ω to DGND.

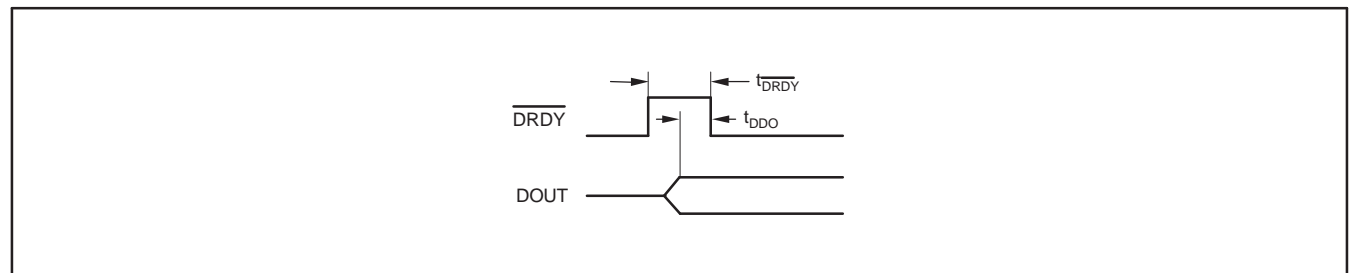


Figure 2. \overline{DRDY} Update Timing

Table 2. \overline{DRDY} UPDATE TIMING CHARACTERISTICS

SYMBOL	DESCRIPTION	TYP	UNITS
t_{DRDY}	\overline{DRDY} High Pulse Width Without Data Read	1	T_{CLK}
t_{DDO}	Valid DOUT to \overline{DRDY} Falling Edge ($\overline{CS} = 0$)	0.5	T_{CLK}

TYPICAL CHARACTERISTICS

At $T_A = +25^\circ\text{C}$, $AVDD = +2.5\text{V}$, $AVSS = -2.5\text{V}$, $DVDD = +3.3\text{V}$, $f_{\text{CLK}} = 16\text{MHz}$ (external clock) or $f_{\text{CLK}} = 15.729\text{MHz}$ (internal clock), OPA227 buffer between MUX outputs and ADC inputs, $V_{\text{REFP}} = +2.048\text{V}$, and $V_{\text{REFN}} = -2.048\text{V}$, unless otherwise noted.

READING HISTOGRAM

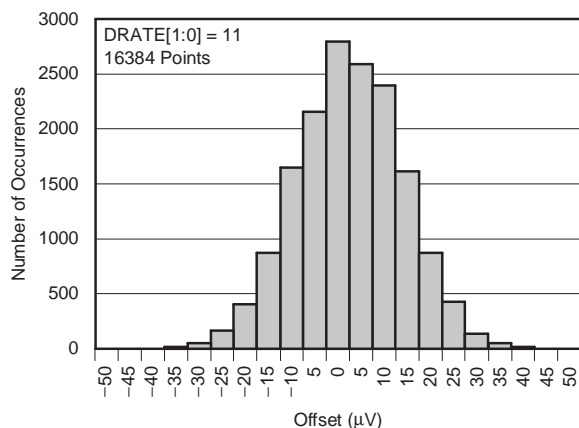


Figure 3.

READING HISTOGRAM

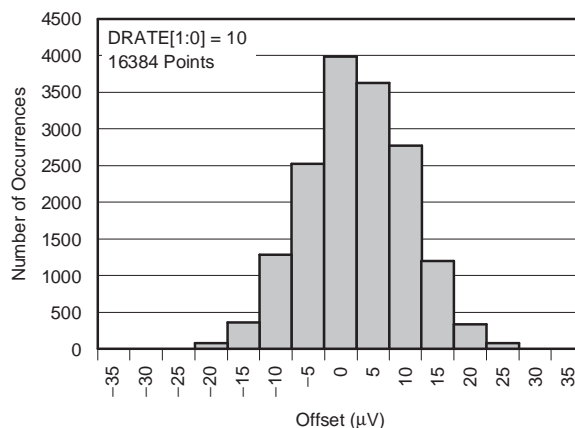


Figure 4.

READING HISTOGRAM

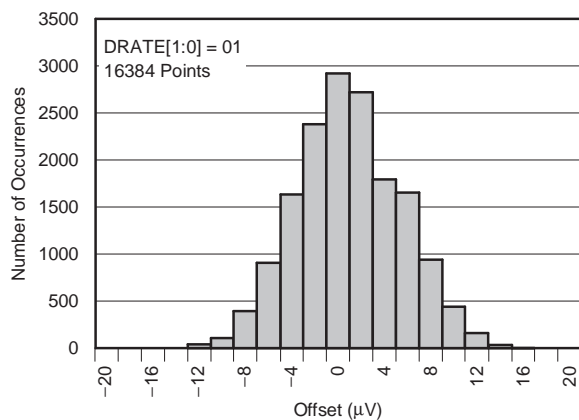


Figure 5.

READING HISTOGRAM

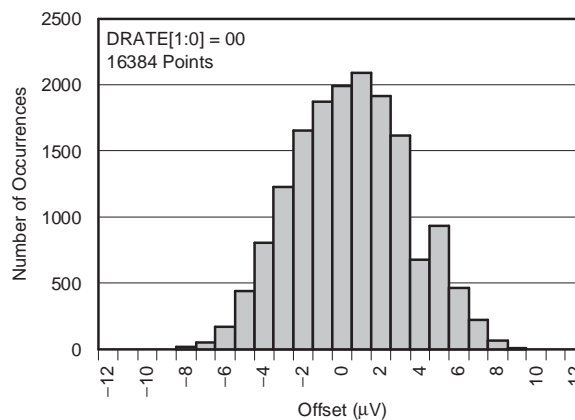


Figure 6.

NOISE HISTOGRAM

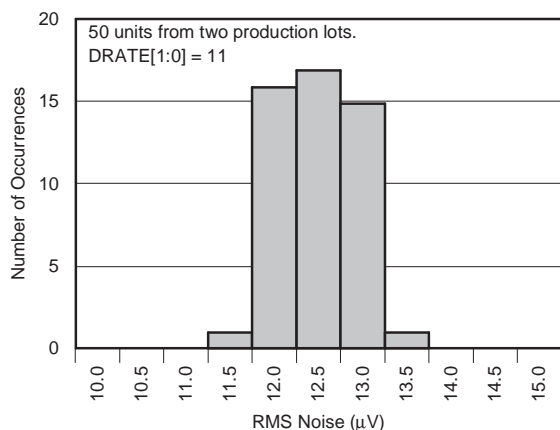


Figure 7.

NOISE vs INPUT VOLTAGE

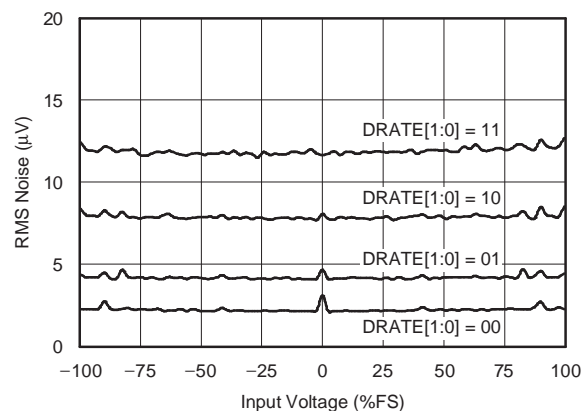


Figure 8.

TYPICAL CHARACTERISTICS (continued)

At $T_A = +25^\circ\text{C}$, $AVDD = +2.5\text{V}$, $AVSS = -2.5\text{V}$, $DVDD = +3.3\text{V}$, $f_{\text{CLK}} = 16\text{MHz}$ (external clock) or $f_{\text{CLK}} = 15.729\text{MHz}$ (internal clock), OPA227 buffer between MUX outputs and ADC inputs, $V_{\text{REFP}} = +2.048\text{V}$, and $V_{\text{REFN}} = -2.048\text{V}$, unless otherwise noted.

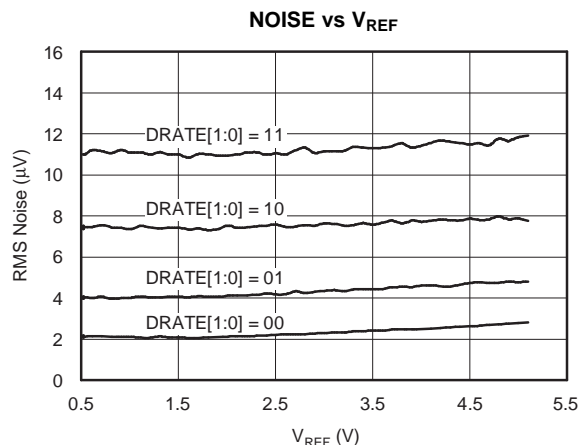


Figure 9.

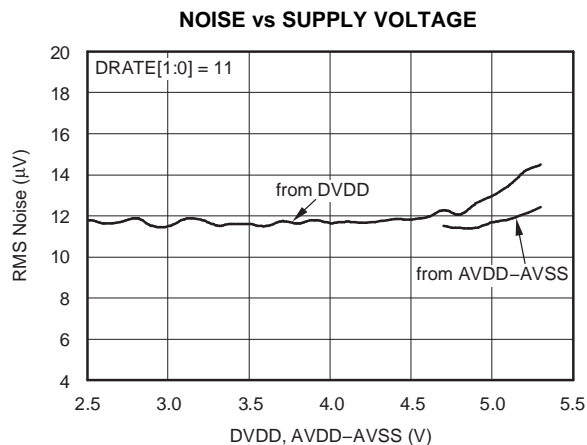


Figure 10.

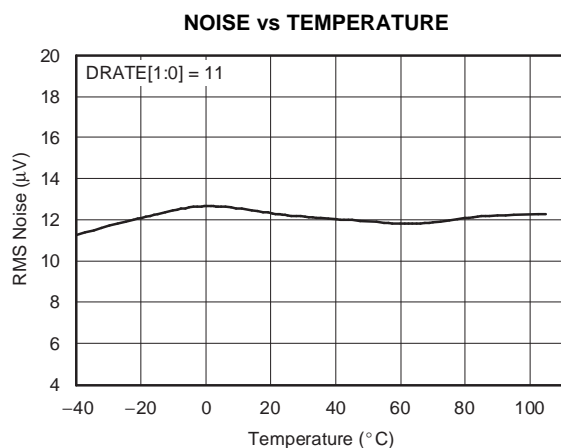


Figure 11.

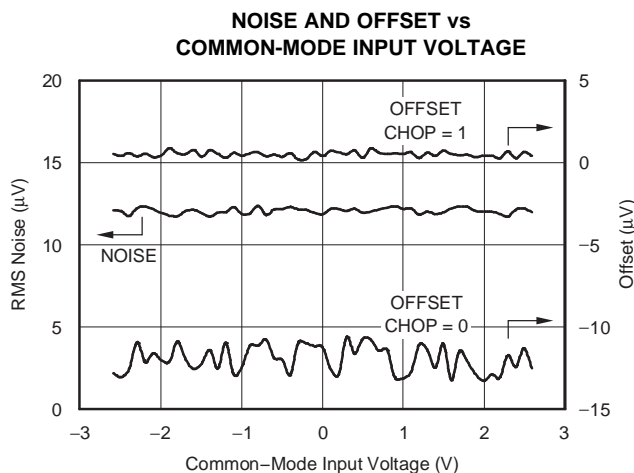


Figure 12.

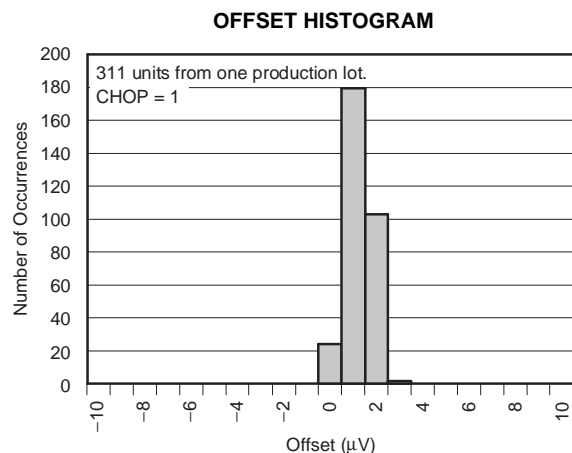


Figure 13.

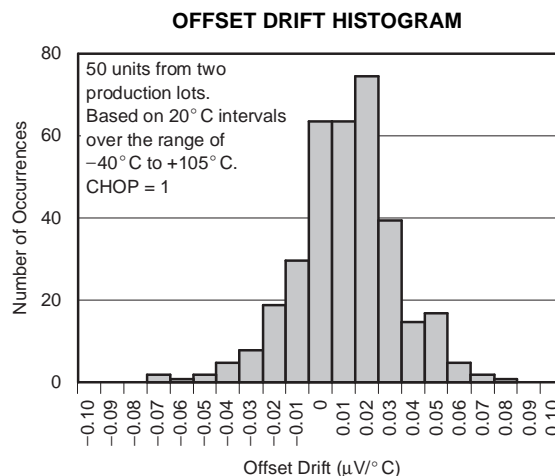


Figure 14.

TYPICAL CHARACTERISTICS (continued)

At $T_A = +25^\circ\text{C}$, $AVDD = +2.5\text{V}$, $AVSS = -2.5\text{V}$, $DVDD = +3.3\text{V}$, $f_{\text{CLK}} = 16\text{MHz}$ (external clock) or $f_{\text{CLK}} = 15.729\text{MHz}$ (internal clock), OPA227 buffer between MUX outputs and ADC inputs, $V_{\text{REFP}} = +2.048\text{V}$, and $V_{\text{REFN}} = -2.048\text{V}$, unless otherwise noted.

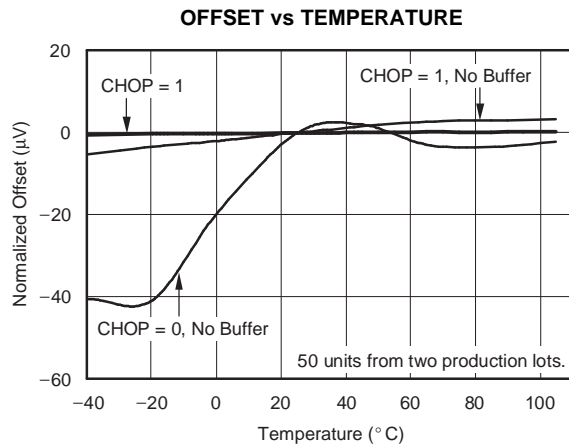


Figure 15.

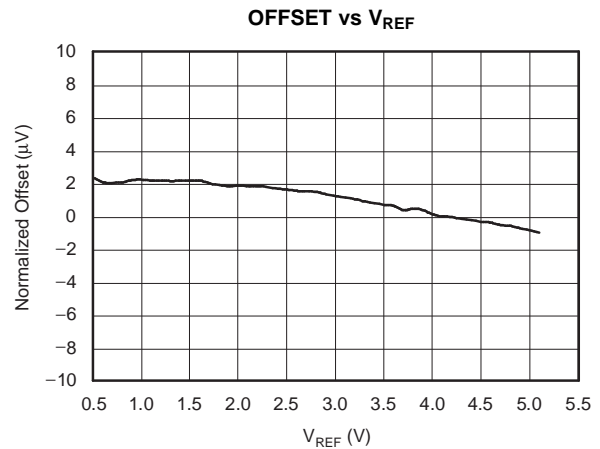


Figure 16.

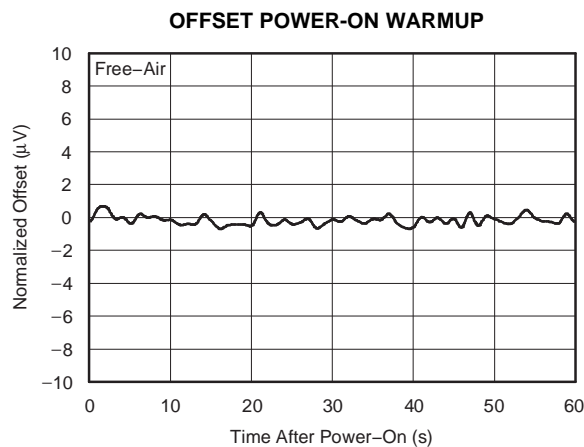


Figure 17.

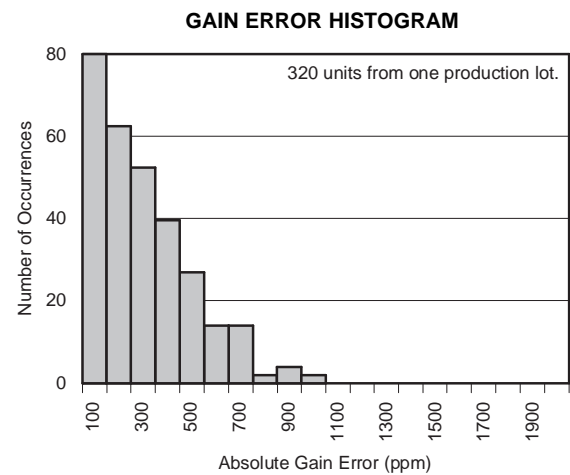


Figure 18.

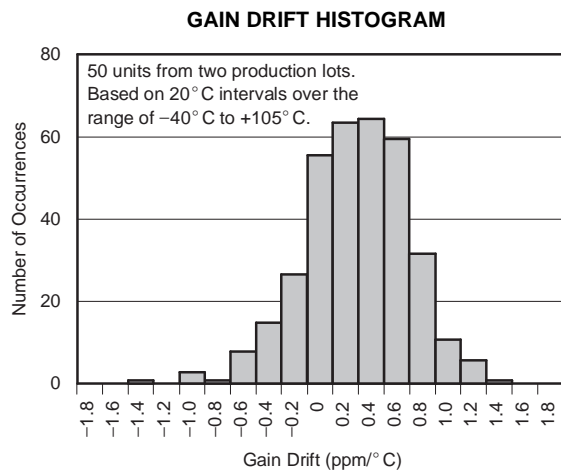


Figure 19.

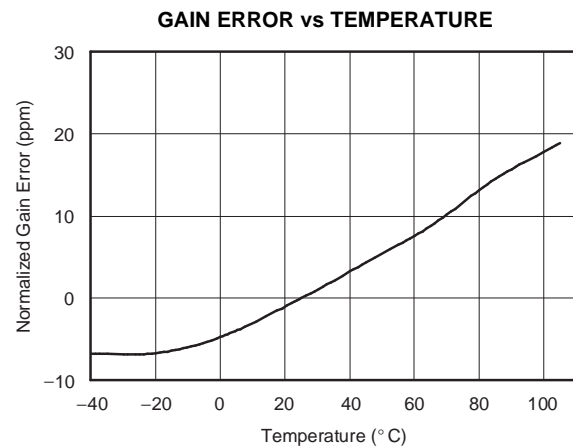


Figure 20.

TYPICAL CHARACTERISTICS (continued)

At $T_A = +25^\circ\text{C}$, $AVDD = +2.5\text{V}$, $AVSS = -2.5\text{V}$, $DVDD = +3.3\text{V}$, $f_{\text{CLK}} = 16\text{MHz}$ (external clock) or $f_{\text{CLK}} = 15.729\text{MHz}$ (internal clock), OPA227 buffer between MUX outputs and ADC inputs, $V_{\text{REFP}} = +2.048\text{V}$, and $V_{\text{REFN}} = -2.048\text{V}$, unless otherwise noted.

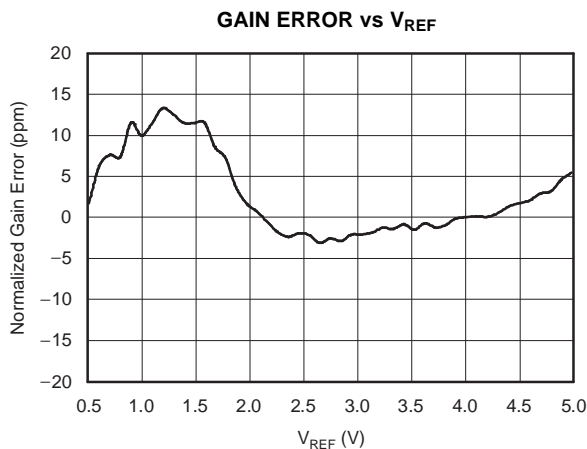


Figure 21.

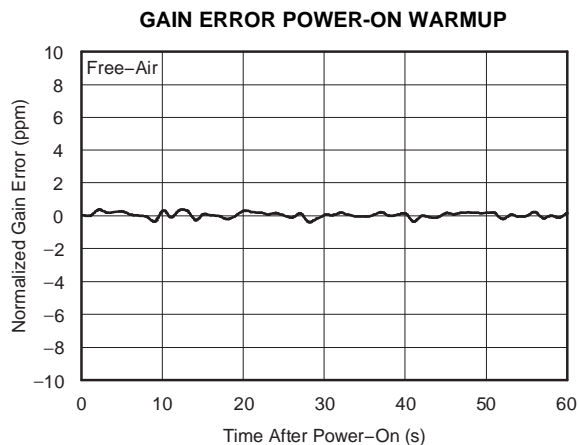


Figure 22.

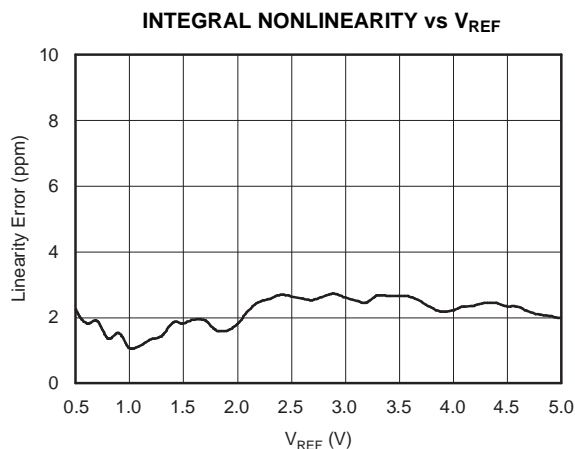


Figure 23.

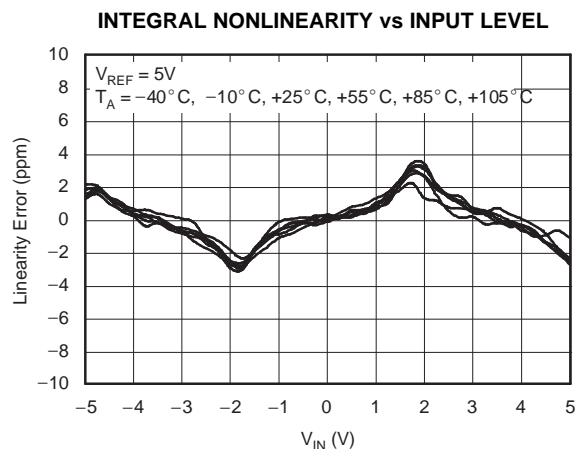


Figure 24.

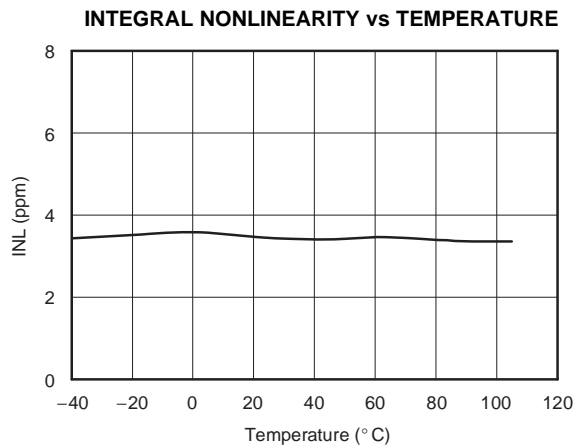


Figure 25.

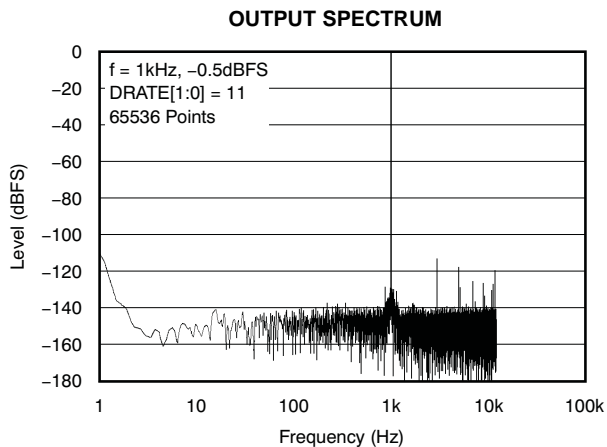


Figure 26.

TYPICAL CHARACTERISTICS (continued)

At $T_A = +25^\circ\text{C}$, $AVDD = +2.5\text{V}$, $AVSS = -2.5\text{V}$, $DVDD = +3.3\text{V}$, $f_{\text{CLK}} = 16\text{MHz}$ (external clock) or $f_{\text{CLK}} = 15.729\text{MHz}$ (internal clock), OPA227 buffer between MUX outputs and ADC inputs, $V_{\text{REFP}} = +2.048\text{V}$, and $V_{\text{REFN}} = -2.048\text{V}$, unless otherwise noted.

TEMPERATURE SENSOR VOLTAGE vs TEMPERATURE

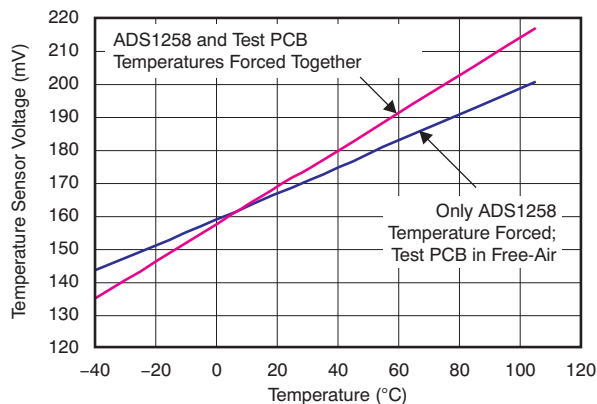


Figure 27.

TEMPERATURE SENSOR READING HISTOGRAM

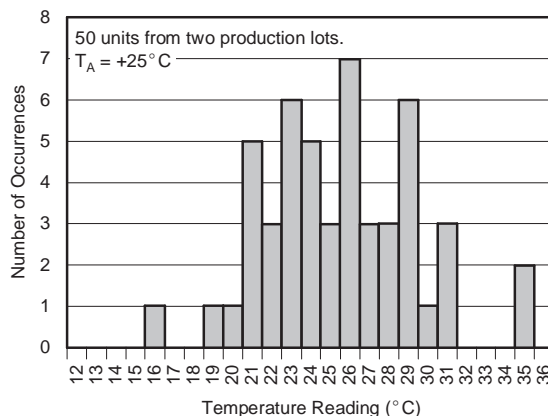


Figure 28.

SENSOR BIAS CURRENT SOURCE RATIO HISTOGRAM

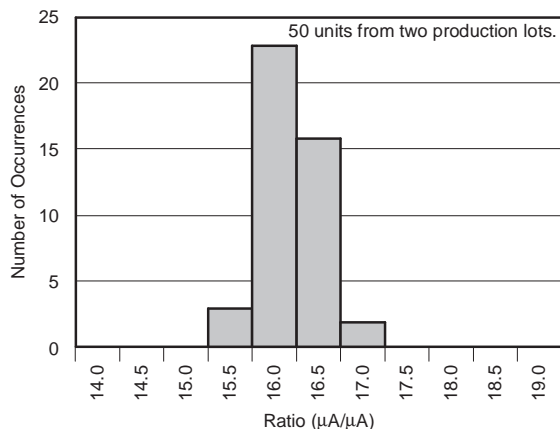


Figure 29.

SENSOR BIAS CURRENT SOURCE RATIO vs TEMPERATURE

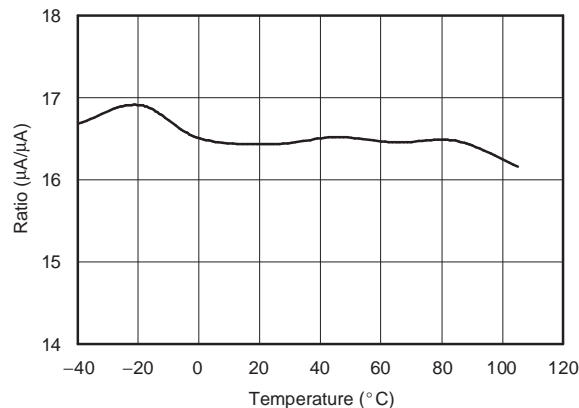


Figure 30.

SUPPLY CURRENT vs TEMPERATURE

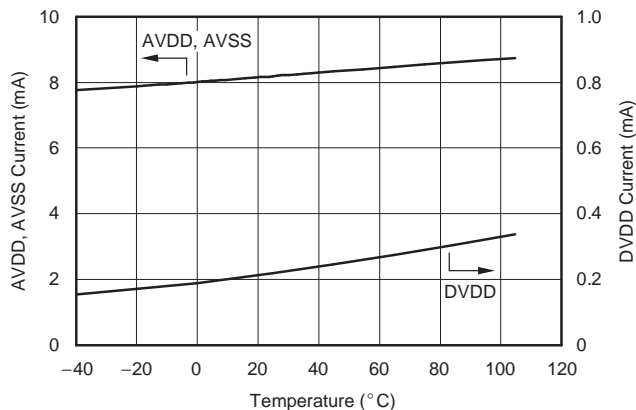


Figure 31.

NOISE AND INL vs MASTER CLOCK

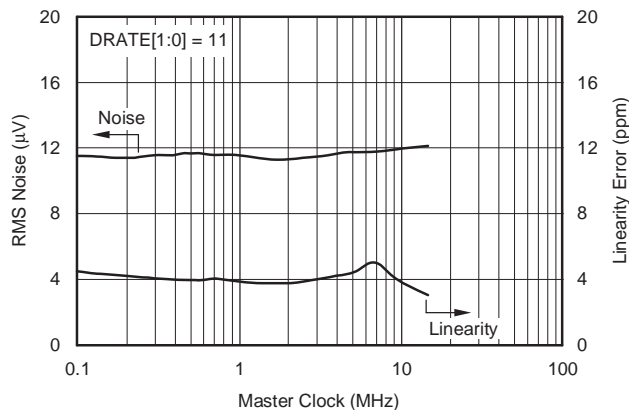


Figure 32.



ADS126x 32-Bit, Precision, 38-kSPS, Analog-to-Digital Converter (ADC) with Programmable Gain Amplifier (PGA) and Voltage Reference

1 Features

- Precision, 32-bit, $\Delta\Sigma$ ADC
- Auxiliary 24-Bit, $\Delta\Sigma$ ADC (ADS1263)
- Data Rates: 2.5 SPS to 38400 SPS
- Differential Input, CMOS PGA
- 11 Multifunction Analog Inputs
- High-Accuracy Architecture
 - Offset Drift: 1 nV/°C
 - Gain Drift: 0.5 ppm/°C
 - Noise: 7 nV_{RMS} (2.5 SPS, Gain = 32)
 - Linearity: 3 ppm
- 2.5-V Internal Voltage Reference
 - Temperature Drift: 2 ppm/°C
- 50-Hz and 60-Hz Rejection
- Single-Cycle Settled Conversions
- Dual Sensor Excitation Current Sources
- Internal Fault Monitors
- Internal ADC Test Signal
- 8 General-Purpose Input/Outputs

2 Applications

- High-Resolution PLCs
- Temperature, Pressure Measurement
- Weigh Scales and Strain-Gauge Digitizers
- Panel Meters, Chart Recorders
- Analytical Instrumentation

3 Description

The ADS1262 and ADS1263 are low-noise, low-drift, 38.4-kSPS, delta-sigma ($\Delta\Sigma$) ADCs with an integrated PGA, reference, and internal fault monitors. The ADS1263 integrates an auxiliary, 24-bit, $\Delta\Sigma$ ADC intended for background measurements. The sensor-ready ADCs provide complete, high-accuracy, one-chip measurement solutions for the most-demanding sensor applications, including weigh scales, strain-gauge sensors, thermocouples, and resistance temperature devices (RTD).

The ADCs are comprised of a low-noise, CMOS PGA (gains 1 to 32), a $\Delta\Sigma$ modulator, followed by a programmable digital filter. The flexible analog front-end (AFE) incorporates two sensor-excitation current sources suitable for direct RTD measurement.

A single-cycle settling digital filter maximizes multiple-input conversion throughput, while providing 130-dB rejection of 50-Hz and 60-Hz line cycle interference.

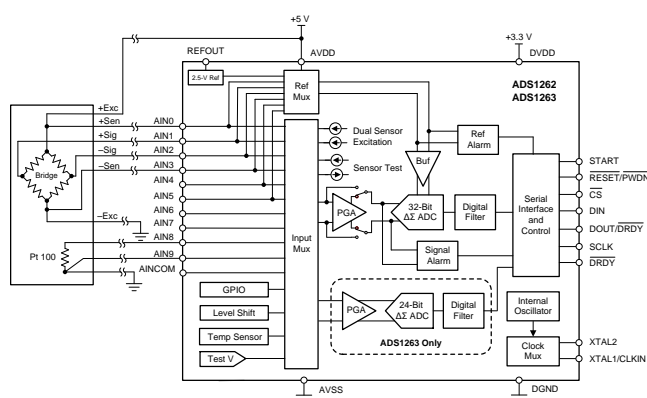
The ADS1262 and ADS1263 are pin and functional compatible. These devices are available in a 28-pin TSSOP package and are fully specified over the -40°C to $+125^{\circ}\text{C}$ temperature range.

Device Information⁽¹⁾

PART NUMBER	PACKAGE	BODY SIZE (NOM)
ADS1262	TSSOP (28)	9.70 mm × 4.40 mm
ADS1263		

(1) For all available packages, see the package option addendum at the end of the data sheet.

Temperature Compensated Bridge Measurement



ADC Conversion Noise

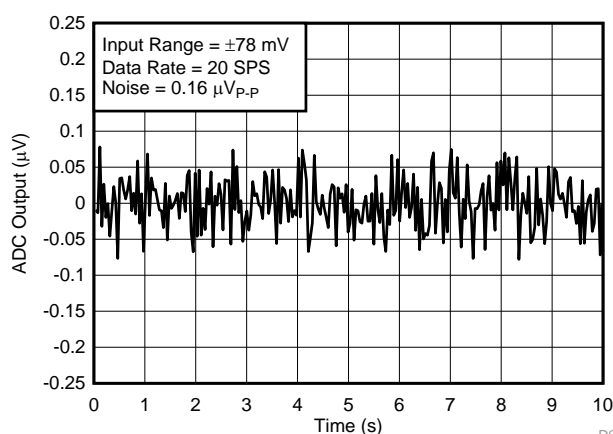


Table of Contents

1 Features	1	9.1 Overview	30
2 Applications	1	9.2 Functional Block Diagram	31
3 Description	1	9.3 Feature Description	32
4 Revision History	2	9.4 Device Functional Modes	61
5 Device Comparison	4	9.5 Programming	85
6 Pin Configuration and Functions	4	9.6 Register Maps	88
7 Specifications	6	10 Application and Implementation	106
7.1 Absolute Maximum Ratings	6	10.1 Application Information	107
7.2 ESD Ratings	6	10.2 Typical Applications	114
7.3 Recommended Operating Conditions	7	10.3 Dos and Don'ts	119
7.4 Thermal Information	7	10.4 Initialization Setup	120
7.5 Electrical Characteristics	8	11 Power-Supply Recommendations	122
7.6 Timing Requirements: Serial Interface	11	11.1 Power-Supply Decoupling	122
7.7 Switching Characteristics: Serial Interface	12	11.2 Analog Power-Supply Clamp	123
7.8 Typical Characteristics	13	11.3 Power-Supply Sequencing	123
8 Parameter Measurement Information	24	12 Layout	124
8.1 Offset Temperature Drift Measurement	24	12.1 Layout Guidelines	124
8.2 Gain Temperature Drift Measurement	24	12.2 Layout Example	125
8.3 Common-Mode Rejection Ratio Measurement	24	13 Device and Documentation Support	126
8.4 Power-Supply Rejection Ratio Measurement	24	13.1 Related Links	126
8.5 Crosstalk Measurement (ADS1263)	25	13.2 Community Resources	126
8.6 Reference-Voltage Temperature-Drift Measurement	25	13.3 Trademarks	126
8.7 Reference-Voltage Thermal-Hysteresis Measurement	25	13.4 Electrostatic Discharge Caution	126
8.8 Noise Performance	26	13.5 Glossary	126
9 Detailed Description	30	14 Mechanical, Packaging, and Orderable Information	126

4 Revision History

NOTE: Page numbers for previous revisions may differ from page numbers in the current version.

Changes from Revision A (May 2015) to Revision B	Page
• Changed ADS1263 from product preview to production data, and added text and specifications throughout data sheet to include the ADS1263 and ADC2	1
• Changed text throughout data sheet for clarity	1
• Added condition line to <i>Absolute Maximum Ratings</i> table	6
• Added <i>Crosstalk</i> section to <i>Electrical Characteristics</i> table	9
• Added Figure 32	17
• Added Figure 36	18
• Changed legend in Figure 45	19
• Added missing gain term in FSR definition of Equation 8	26
• Changed text in fourth paragraph of <i>Noise Performance</i> section to clarify conditions to achieve maximum ENOB	26
• Changed bit names from PGAH and PGAL to PGAH_ALM and PGAL_ALM, respectively, in <i>PGA Absolute Output-Voltage Monitor</i> section	40
• Changed Figure 77 to show correct name of bit 4	41
• Changed RMUX to RMUXP in second paragraph of <i>ADC Reference Voltage</i> section	41
• Changed text in last paragraph of <i>ADC Reference Voltage</i> section to show correct name of bit 4	41
• Changed text in <i>External Reference</i> section to clarify external reference inputs, polarity reversal switch, reference input current, and external reference buffer	42
• Changed text in <i>Power-Supply Reference</i> section to clarify use of power-supply reference in critical applications	42

Revision History (continued)

• Changed text in last paragraph of <i>Sensor-Excitation Current Sources (IDAC1 and IDAC2)</i> section to clarify settling time in IDAC rotation mode	44
• Added <i>ADC1 Modulator</i> section	45
• Changed text in <i>General-Purpose Input/Output (GPIO)</i> section regarding GPIO data readback when programmed as an output	52
• Changed Figure 92	52
• Changed TSIGP and TSIGN to TDACP and TDACN, respectively, in the last paragraph of the <i>Test DAC (TDAC)</i> section	54
• Changed text in <i>Test DAC (TDAC)</i> section allowing for any common-mode value instead of 0 V	54
• Added note (1) to Figure 95	57
• Changed $t_{h(DRSP)}$ value of 16 from max to min	61
• Added stop-start sequence text to restart conversions in <i>Continuous Conversion Mode</i> section	61
• Deleted software polling text from <i>Data Ready (\overline{DRDY})</i> section	67
• Added <i>Conversion Data Software Polling</i> section	67
• Added text to clarify data reset at conversion restart	68
• Added text to <i>Read Data Direct (ADC1)</i> section to clarify conversion restart	68
• Changed Figure 108 to show complete list of CRC bit settings	68
• Changed text in <i>Read Data by Command</i> section to clarify software polling	69
• Changed Figure 109 to show complete list of CRC bit settings	69
• Added text to <i>Offset Calibration Registers</i> section regarding offset calibration register disabled in chop mode	76
• Added new step 1 to <i>Calibration Command Procedure</i> section	79
• Added text to <i>WREG Command</i> section regarding conversion restart	87
• Changed text in 2nd paragraph of <i>Register Map</i> section	88
• Changed <i>Group Update</i> column of Table 38	88
• Added software polling to Figure 159	120

Changes from Original (February 2015) to Revision A

Page

• Changed ADS1262 from product preview to production data	1
---	---

ADS1262, ADS1263

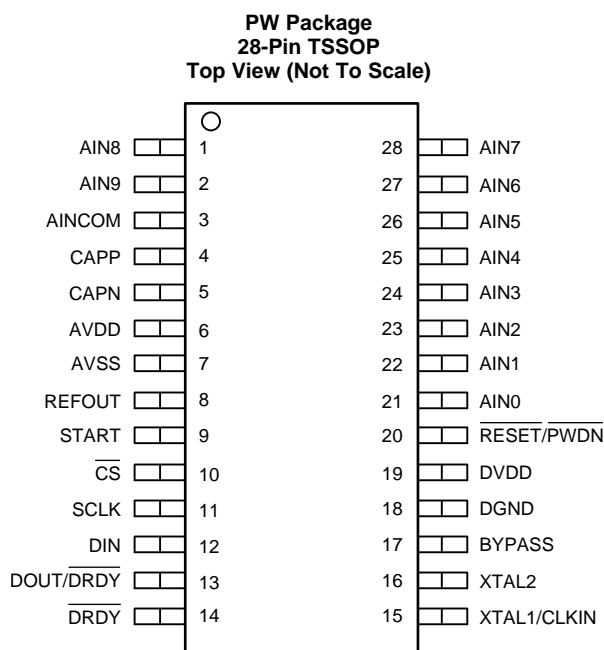
SBAS661B –FEBRUARY 2015–REVISED JULY 2015

www.ti.com

5 Device Comparison

PRODUCT	INPUTS	AUXILIARY 24-BIT ADC
ADS1262	11	No
ADS1263	11	Yes

6 Pin Configuration and Functions



Pin Functions

PIN		I/O	DESCRIPTION
NO.	NAME		
1	AIN8	Analog input/output	Analog input 8, IDAC1, IDAC2, GPIO5
2	AIN9	Analog input/output	Analog input 9, IDAC1, IDAC2, GPIO6
3	AINCOM	Analog input/output	Analog input common, IDAC1, IDAC2, GPIO7, VBIAS
4	CAPP	Analog output	PGA output P: connect a 4.7-nF C0G dielectric capacitor from CAPP to CAPN
5	CAPN	Analog output	PGA output N: connect a 4.7-nF C0G dielectric capacitor from CAPP to CAPN
6	AVDD	Analog	Positive analog power supply
7	AVSS	Analog	Negative analog power supply
8	REFOUT	Analog Output	Internal reference voltage output, connect 1- μ F capacitor to AVSS
9	START	Digital Input	Start conversion control
10	$\overline{\text{CS}}$	Digital Input	Serial interface chip select (active low)
11	SCLK	Digital Input	Serial interface shift clock
12	DIN	Digital Input	Serial interface data input
13	DOUT/ $\overline{\text{DRDY}}$	Digital output	Serial interface data output and data ready indicator (active low)
14	$\overline{\text{DRDY}}$	Digital output	Data ready indicator (active low)
15	XTAL1/CLKIN	Digital Input	1) Internal oscillator: Connect to DGND 2) External clock: Connect clock input 3) Crystal oscillator: Connect to crystal and crystal load capacitor
16	XTAL2	Digital Input	1) Internal oscillator: No connection (float) 2) External clock: No connection (float) 3) Crystal oscillator: Connect to crystal and crystal load capacitor
17	BYPASS	Analog Output	2-V sub-regulator external bypass; connect 1- μ F capacitor to DGND
18	DGND	Digital	Digital ground
19	DVDD	Digital	Digital power supply
20	$\overline{\text{RESET/PWDN}}$	Digital input	Reset (active low); hold low to power down the ADC
21	AIN0	Analog input/output	Analog input 0, REFP1, IDAC1, IDAC2
22	AIN1	Analog input/output	Analog input 1, REFN1, IDAC1, IDAC2
23	AIN2	Analog input/output	Analog input 2, REFP2, IDAC1, IDAC2
24	AIN3	Analog input/output	Analog input 3, REFN2, IDAC1, IDAC2, GPIO0
25	AIN4	Analog input/output	Analog input 4, REFP3, IDAC1, IDAC2, GPIO1
26	AIN5	Analog input/output	Analog input 5, REFN3, IDAC1, IDAC2, GPIO2
27	AIN6	Analog input/output	Analog input 6, IDAC1, IDAC2, GPIO3, TDACP
28	AIN7	Analog input/output	Analog input 7, IDAC1, IDAC2, GPIO4, TDACN

7 Specifications

7.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

		MIN	MAX	UNIT
Voltage	AVDD to AVSS	–0.3	7	V
	AVSS to DGND	–3	0.3	V
	DVDD to DGND	–0.3	7	V
	Analog input	$V_{AVSS} - 0.3$	$V_{AVDD} + 0.3$	V
	Digital input	$V_{DGND} - 0.3$	$V_{DVDD} + 0.3$	V
Current	Input current ⁽²⁾	–10	10	mA
Temperature	Junction, T_J	–50	150	°C
	Storage, T_{stg}	–60	150	°C

(1) Stresses beyond those listed under *Absolute Maximum Ratings* may cause permanent damage to the device. These are stress ratings only, which do not imply functional operation of the device at these or any other conditions beyond those indicated under *Recommended Operating Conditions*. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

(2) Input pins are diode-clamped to the power supply rails. Limit the input current to 10 mA or less if the analog input voltage exceeds $V_{AVDD} + 0.3$ V or is below $V_{AVSS} - 0.3$ V, or if the digital input voltage exceeds $V_{DVDD} + 0.3$ V or is below $V_{DGND} - 0.3$ V.

7.2 ESD Ratings

		VALUE	UNIT
$V_{(ESD)}$ Electrostatic discharge	Human-body model (HBM), per ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±2000	V
	Charged-device model (CDM), per JEDEC specification JESD22-C101 ⁽²⁾	±500	

(1) JEDEC document JEP155 states that 500-V HBM allows safe manufacturing with a standard ESD control process.

(2) JEDEC document JEP157 states that 250-V CDM allows safe manufacturing with a standard ESD control process.

7.3 Recommended Operating Conditions

over operating ambient temperature range (unless otherwise noted)

			MIN	NOM	MAX	UNIT
POWER SUPPLY						
Analog power supply		V_{AVDD} to V_{AVSS}	4.75	5	5.25	V
		V_{AVSS} to V_{DGND}	−2.6		0	V
Digital power supply		V_{DVDD} to V_{DGND}	2.7		5.25	V
ADC1 ANALOG INPUTS						
FSR	Full-scale differential input voltage range ⁽¹⁾		− V_{REF} / Gain		V_{REF} / Gain	V
V_{INP}, V_{INN}	Absolute input voltage ⁽²⁾	PGA enabled	See Equation 12			V
		PGA bypassed	$V_{AVSS} - 0.1$		$V_{AVDD} + 0.1$	V
ADC2 ANALOG INPUTS (ADS1263)						
Full-scale differential input voltage range			− V_{REF} / Gain		V_{REF} / Gain	V
Absolute input voltage		Gain = 1, 2 and 4	$V_{AVSS} - 0.1$		$V_{AVDD} + 0.1$	V
		Gain = 8 to 128	See Equation 15			V
VOLTAGE REFERENCE INPUTS						
V_{REF}	Differential reference voltage	$V_{REF} = V_{REFP} - V_{REFN}$	0.9		$V_{AVDD} - V_{AVSS} + 0.2$	V
V_{REFN}	Negative reference voltage		$V_{AVSS} - 0.1$		$V_{REFP} - 0.9$	V
V_{REFP}	Positive reference voltage		$V_{REFN} + 0.9$		$V_{AVDD} + 0.1$	V
CLOCK INPUT						
f_{CLK}	External clock frequency		1	7.3728	8	MHz
	External clock duty cycle		30%		70%	
	External crystal frequency		1	7.3728	8	MHz
GENERAL-PURPOSE INPUT/OUTPUT (GPIO)						
Input voltage			V_{AVSS}		V_{AVDD}	V
DIGITAL INPUTS (other than GPIO)						
Input voltage			V_{DGND}		V_{DVDD}	V
TEMPERATURE						
T_A	Operating ambient temperature		−40		125	°C

- (1) FSR is the ideal full-scale differential input voltage range, excluding noise, offset and gain errors. For ADC1, the maximum FSR is achieved with $V_{REF} = 5$ V and the PGA bypassed. If the PGA is enabled and $V_{REF} = 5$ V, the FSR is limited by the PGA input range. For ADC2, if $V_{REF} = 5$ V and gains = 8 to 128 then FSR is limited by the PGA input range.
- (2) V_{INP}, V_{INN} = Absolute Input Voltage. V_{IN} = Differential Input Voltage = $V_{INP} - V_{INN}$.

7.4 Thermal Information

THERMAL METRIC ⁽¹⁾		ADS126x	UNIT
		PW (TSSOP)	
		28 PINS	
$R_{\theta JA}$	Junction-to-ambient thermal resistance	65.2	°C/W
$R_{\theta JC(top)}$	Junction-to-case (top) thermal resistance	13.6	°C/W
$R_{\theta JB}$	Junction-to-board thermal resistance	23.6	°C/W
Ψ_{JT}	Junction-to-top characterization parameter	0.5	°C/W
Ψ_{JB}	Junction-to-board characterization parameter	23.1	°C/W
$R_{\theta JC(bot)}$	Junction-to-case (bottom) thermal resistance	N/A	°C/W

- (1) For more information about traditional and new thermal metrics, see the *Semiconductor and IC Package Thermal Metrics* application report, [SPRA953](#).

7.5 Electrical Characteristics

Minimum and maximum specifications apply from $T_A = -40^{\circ}\text{C}$ to $+125^{\circ}\text{C}$. Typical specifications are at $T_A = 25^{\circ}\text{C}$.

All specifications are at $V_{AVDD} = 5\text{ V}$, $V_{AVSS} = 0\text{ V}$, $V_{DVDD} = 3.3\text{ V}$, $V_{REF} = 2.5\text{ V}$, $f_{CLK} = 7.3728\text{ MHz}$, ADC1 data rate = 20 SPS with PGA enabled and gain = 1, and ADC2 data rate = 10 SPS with gain = 1 (unless otherwise noted).

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
ADC1 ANALOG INPUTS							
Absolute input current	Gain = 32				2		nA
	PGA bypassed				150		nA
Differential input current	Gain = 32				0.1		nA
	PGA bypassed, V _{IN} = 5 V				150		nA
Differential input impedance	PGA enabled				1		GΩ
	PGA bypassed				40		MΩ
Channel-to-channel crosstalk	DC, V _{AVSS} ≤ V _{INX} ≤ V _{AVDD}				0.5		μV/V
ADC1 PERFORMANCE							
PGA gain					1, 2, 4, 8, 16, 32		V/V
Resolution					32		Bits
DR	Data rate			2.5		38400	SPS
	Noise performance			See Table 1			
INL	Integral nonlinearity	Gain = 1 to 32, PGA bypassed		3		12	ppm
V _{OS}	Offset voltage	T _A = 25°C	Chop mode off	350 / Gain	800 / Gain		μV
			Chop mode on	±0.1 / Gain	±0.5 / Gain		μV
		After calibration ⁽¹⁾		Noise / 4			
Offset voltage drift	Chop mode off		30 / Gain + 10		100 / Gain + 50		nV/°C
	Chop mode on		1		5		nV/°C
GE	Gain error	T _A = 25°C, gain = 1 to 32		±50		±300	ppm
		After calibration ⁽¹⁾		Noise / 4			
	Gain drift	Gain = 1 to 32, and PGA bypassed		0.5		4	ppm/°C
NMRR	Normal-mode rejection ratio ⁽²⁾			See Table 11			
CMRR	Common-mode rejection ratio ⁽³⁾	f _{IN} = 60 Hz, data rate = 20 SPS		130			dB
		f _{IN} = 60 Hz, data rate = 400 SPS		100	120		dB
PSRR	Power-supply rejection ratio ⁽⁴⁾	AVDD and AVSS		80	90		dB
		DVDD		80	120		dB
ADC2 ANALOG INPUTS (ADS1263)							
Absolute input current	Gain = 16				2		nA
Differential input current	Gain = 16				0.5		nA
ADC2 PERFORMANCE (ADS1263)							
Gain					1, 2, 4, 8, 16, 32, 64, 128		V/V
Resolution					24		Bits
DR	Data rate			10, 100, 400, 800			SPS
	Noise performance			See Table 3			
INL	Integral nonlinearity	Gain = 1 to 64		4		20	ppm
		Gain = 128		7		30	ppm
V _{OS}	Offset voltage	T _A = 25°C, gain = 1 to 128		±150		±500	μV
	Offset voltage drift	Gain = 1 to 128		30		200	nV/°C
GE	Gain error	T _A = 25°C, gain = 1 to 128		±500		±3000	ppm
	Gain drift	Gain = 1 to 128		1		5	ppm/°C
NMRR	Normal-mode rejection ratio			See Table 15			
CMRR	Common-mode rejection ratio	f _{IN} = 60 Hz, DR = 10 SPS		110			dB
		f _{IN} = 60 Hz, DR = 400 SPS, gain = 8		75	90		dB
PSRR	Power-supply rejection ratio	AVDD and AVSS		75	90		dB

(1) Offset and gain calibration accuracy on the order of ADC conversion noise/4. Conversion noise depends on data rate and PGA gain.

(2) Normal-mode rejection ratio depends on the digital filter setting.

(3) Common-mode rejection ratio is specified at data rate 20 SPS and 400 SPS.

(4) Power-supply rejection ratio is specified at dc.

Electrical Characteristics (continued)

Minimum and maximum specifications apply from $T_A = -40^{\circ}\text{C}$ to $+125^{\circ}\text{C}$. Typical specifications are at $T_A = 25^{\circ}\text{C}$. All specifications are at $V_{AVDD} = 5\text{ V}$, $V_{AVSS} = 0\text{ V}$, $V_{DVDD} = 3.3\text{ V}$, $V_{REF} = 2.5\text{ V}$, $f_{CLK} = 7.3728\text{ MHz}$, ADC1 data rate = 20 SPS with PGA enabled and gain = 1, and ADC2 data rate = 10 SPS with gain = 1 (unless otherwise noted).

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
CROSSTALK					
Crosstalk	ADC1 to ADC2		20		$\mu\text{V/V}$
	ADC2 to ADC1		1		$\mu\text{V/V}$
EXTERNAL VOLTAGE REFERENCE INPUTS					
Reference input current ⁽⁵⁾	ADC1		150		nA
	ADC2		1		nA
Input current vs voltage	$V_{REF} = 2\text{ V to }4.8\text{ V}$, ADC1		10		nA/V
Input current drift	ADC1		0.1		nA/ $^{\circ}\text{C}$
Input impedance	Differential, ADC1		50		M Ω
Low reference monitor	Threshold, ADC1		0.4	0.6	V
INTERNAL VOLTAGE REFERENCE					
Reference voltage			2.5		V
Initial accuracy	$T_A = 25^{\circ}\text{C}$		$\pm 0.1\%$	$\pm 0.2\%$	
Reference voltage temperature drift	$T_A = 0^{\circ}\text{C to }+85^{\circ}\text{C}$		2	6	ppm/ $^{\circ}\text{C}$
	$T_A = -40^{\circ}\text{C to }+105^{\circ}\text{C}$		4	12	ppm/ $^{\circ}\text{C}$
Reference voltage long term drift	$T_A = 85^{\circ}\text{C}$, 1st 1000 hr		50		ppm
Thermal hysteresis	First $0^{\circ}\text{C to }85^{\circ}\text{C}$ cycle		50		ppm
Output current		-10		10	mA
Load regulation			40		$\mu\text{V/mA}$
Start-up time	Settling time to $\pm 0.001\%$ final value		50		ms
TEMPERATURE SENSOR					
Voltage	$T_A = 25^{\circ}\text{C}$		122.4		mV
Temperature coefficient			420		$\mu\text{V}/^{\circ}\text{C}$
CURRENT SOURCES (IDAC1, IDAC2)					
Currents		50, 100, 250, 500, 750, 1000, 1500, 2000, 2500, 3000			μA
Compliance range	All currents	V_{AVSS}	$V_{AVDD} - 1.1$		V
Absolute error	All currents		$\pm 0.7\%$	$\pm 4\%$	
Match error	IDAC1 current = IDAC2 current		$\pm 0.1\%$	$\pm 1\%$	
	IDAC1 current \neq IDAC2 current		$\pm 1\%$		
Temperature drift	Absolute		50		ppm/ $^{\circ}\text{C}$
	Match		5	20	ppm/ $^{\circ}\text{C}$
LEVEL-SHIFT VOLTAGE					
Voltage			$(V_{AVDD} + V_{AVSS}) / 2$		V
Output impedance			100		Ω
SENSOR BIAS					
Currents			$\pm 0.5, \pm 2, \pm 10, \pm 50, \pm 200$		μA
Pull-up/pull-down resistor			10		M Ω
TEST DAC (TDAC)					
DAC reference voltage			$V_{AVDD} - V_{AVSS}$		V
Differential output voltage	18 binary weighted settings	-4		4	V
Absolute output voltage	To V_{AVSS}	0.5		4.5	V
Accuracy			$\pm 0.1\%$	$\pm 1.5\%$	
Output impedance			See Table 12		

(5) Specified with $V_{AVSS} \leq V_{REFN}$ and $V_{REFP} \leq V_{AVDD}$. For reference input voltage exceeding V_{AVDD} or V_{AVSS} , the ADC1 reference input current = 10 nA/ mV.

Electrical Characteristics (continued)

Minimum and maximum specifications apply from $T_A = -40^{\circ}\text{C}$ to $+125^{\circ}\text{C}$. Typical specifications are at $T_A = 25^{\circ}\text{C}$.

All specifications are at $V_{AVDD} = 5\text{ V}$, $V_{AVSS} = 0\text{ V}$, $V_{DVDD} = 3.3\text{ V}$, $V_{REF} = 2.5\text{ V}$, $f_{CLK} = 7.3728\text{ MHz}$, ADC1 data rate = 20 SPS with PGA enabled and gain = 1, and ADC2 data rate = 10 SPS with gain = 1 (unless otherwise noted).

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
PGA OVER-RANGE MONITOR							
Differential alarm		Threshold		±105%			FSR
Differential alarm accuracy				±1% ±3%			
Absolute alarm thresholds		Low threshold		V _{AVSS} + 0.2			V
		High threshold		V _{AVDD} − 0.2			V
ADC CLOCK							
f _{CLK}	Internal oscillator frequency			7.3728			MHz
Internal oscillator accuracy				±0.5% ±2%			
External crystal startup time		See Table 25 for recommended crystals		20			ms
GENERAL-PURPOSE INPUT/OUTPUTS (GPIO) ⁽⁶⁾							
V _{OH}	High-level output voltage	I _{OH} = 1 mA		0.8 · V _{AVDD}			V
V _{OL}	Low-level output voltage	I _{OL} = −1 mA		0.2 · V _{AVDD}			V
V _{IH}	High-level input voltage			0.7 · V _{AVDD} V _{AVDD}			V
V _{IL}	Low-level input voltage			V _{AVSS} 0.3 · V _{AVDD}			V
Input hysteresis				0.5			V
DIGITAL INPUT/OUTPUT (Other Than GPIO)							
V _{OH}	High-level output voltage	I _{OH} = 1 mA		0.8 · V _{DVDD}			V
		I _{OH} = 8 mA		0.75 · V _{DVDD}			V
V _{OL}	Low-level output voltage	I _{OL} = −1 mA		0.2 · V _{DVDD}			V
		I _{OL} = −8 mA		0.2 · V _{DVDD}			V
V _{IH}	High-level input voltage			0.7 · V _{DVDD} V _{DVDD}			V
V _{IL}	Low-level input voltage			V _{DGND} 0.3 · V _{DVDD}			V
Input hysteresis				0.1			V
Input leakage				±10			μA
POWER SUPPLY							
I _{AVDD} I _{AVSS}	Analog supply current	Active mode, voltage reference off	ADS1262	4			mA
		Active mode, voltage reference on	ADS1262	4.2 6.5			mA
		Active mode, voltage reference on	ADS1263	4.3 6.5			mA
		Power-down mode		2 15			μA
I _{DVDD}	Digital supply current	Active mode	ADS1262 ADS1263	1 1.25			mA
		Power-down mode ⁽⁷⁾		25 50			μA
P _D	Power dissipation	Active mode, voltage reference on	ADS1262	24 37			mW
		Active mode, voltage reference on	ADS1263	25 37			mW
		Power-down mode		90 240			μW

(6) GPIO input and output voltages are referenced to V_{AVSS} .

(7) External CLK input stopped. All other digital inputs maintained at V_{DVDD} or V_{DGND} .

7.6 Timing Requirements: Serial Interface

		MIN	MAX	UNIT
$t_{d(CSSC)}$	$\overline{CS}\downarrow$ before first SCLK \uparrow : delay time ⁽¹⁾	50		ns
$t_{d(DRSC)}$	$\overline{DRDY}\downarrow$ or $\overline{DRDY}/DOUT\downarrow$ before first SCLK \uparrow : delay time	0		ns
$t_{su(DI)}$	Valid DIN to SCLK \downarrow : setup time	35		ns
$t_{h(DI)}$	SCLK \downarrow to valid DIN: hold time	25		ns
$t_c(SC)$	SCLK period ⁽²⁾	125	10^6	ns
$t_w(SCH), t_w(SCL)$	SCLK high pulse width or SCLK low pulse width	40		ns
$t_d(SCCS)$	Last SCLK \downarrow to CS \uparrow : delay time	40		ns
$t_w(CSH)$	\overline{CS} high pulse width	30		ns

(1) \overline{CS} can be tied low.

(2) If serial interface time-out mode enabled, minimum SCLK frequency = 1 kHz. If serial interface time-out mode disabled (default), there is no minimum SCLK frequency.

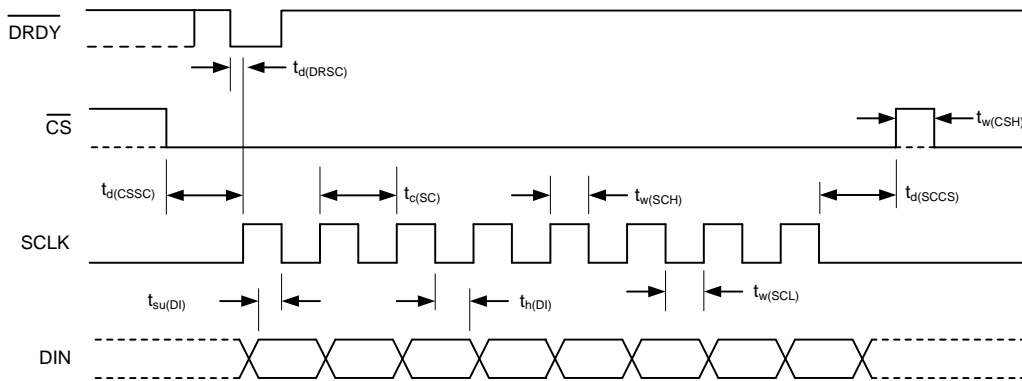
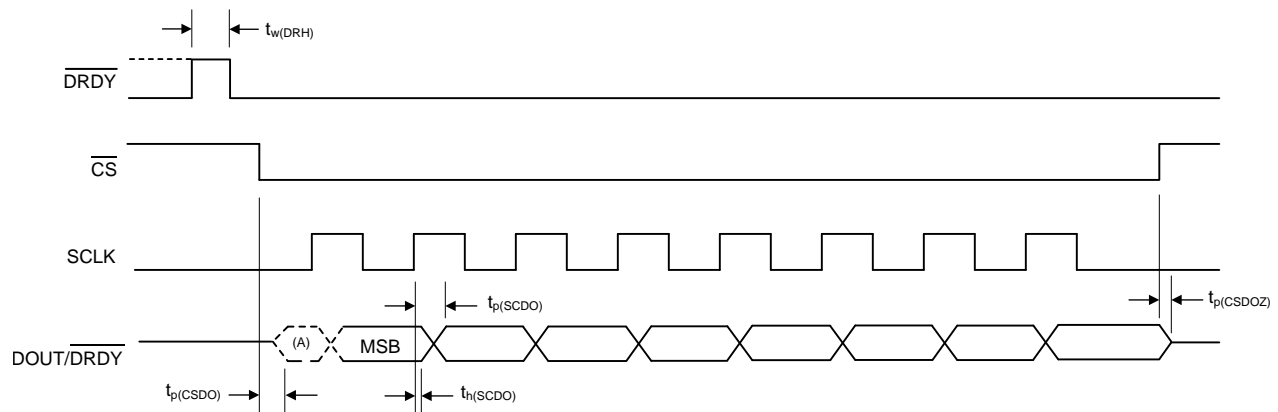


Figure 1. Serial Interface Timing Requirements

7.7 Switching Characteristics: Serial Interface

over operating the ambient temperature range and DVDD = 2.7 V to 5.25 V (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$t_{w(DRH)}$	\overline{DRDY} high pulse width		16		$1/f_{CLK}$
$t_{p(CSDO)}$	$\overline{CS}\downarrow$ to DOUT/ \overline{DRDY} driven: propagation delay time	0		40	ns
$t_{p(SCDO)}$	SCLK \uparrow to valid DOUT/ \overline{DRDY} : propagation delay time			60	ns
$t_{h(SCDO)}$	SCLK \uparrow to invalid DOUT/ \overline{DRDY} : hold time	0			ns
$t_{p(CSDOZ)}$	$\overline{CS}\uparrow$ to DOUT/ \overline{DRDY} high impedance: propagation delay time			40	ns



(A): If new ADC data is ready since the last operation, DOUT/ \overline{DRDY} is logic low during this interval. Otherwise, DOUT/ \overline{DRDY} can be logic high or low depending on the previous state of the pin.

Figure 2. Serial Interface Switching Characteristics

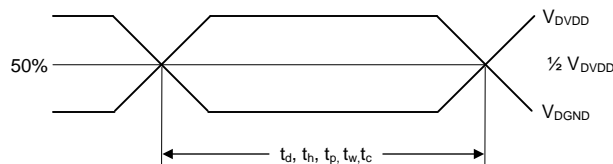


Figure 3. Timing Reference

7.8 Typical Characteristics

at $T_A = 25^\circ\text{C}$, $V_{AVDD} = 5\text{ V}$, $V_{AVSS} = 0\text{ V}$, $V_{DVDD} = 3.3\text{ V}$, $V_{REF} = 2.5\text{ V}$, and $f_{CLK} = 7.3728\text{ MHz}$ (unless otherwise noted); typical ADC1 characteristics at data rate = 20 SPS and gain = 1; typical ADC2 characteristics at data rate = 10 SPS and gain = 1

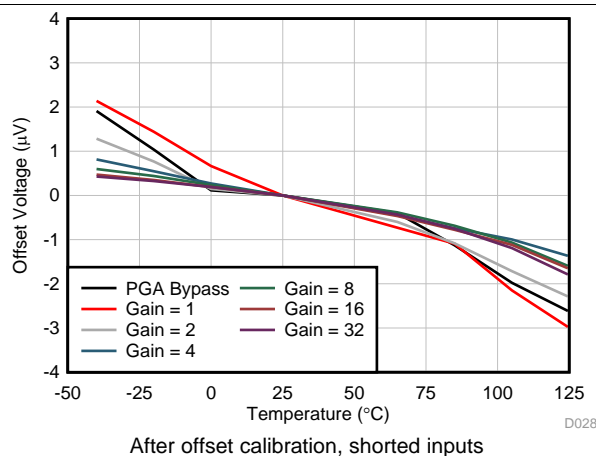


Figure 4. ADC1 Offset Voltage vs Temperature

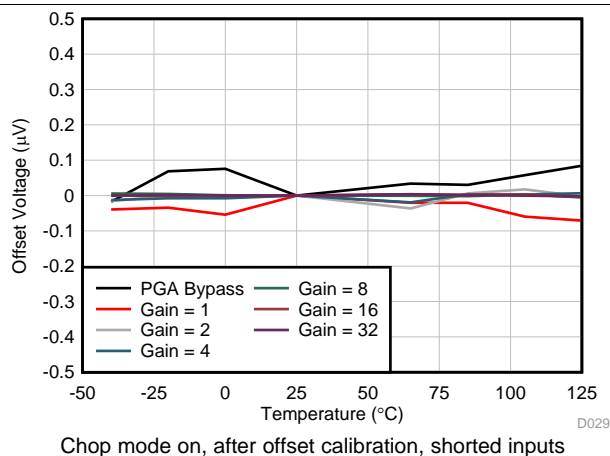


Figure 5. ADC1 Offset Voltage vs Temperature

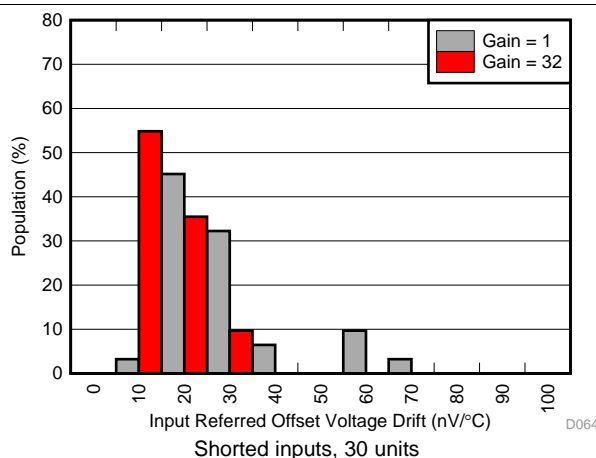


Figure 6. ADC1 Offset Voltage vs Temperature Distribution

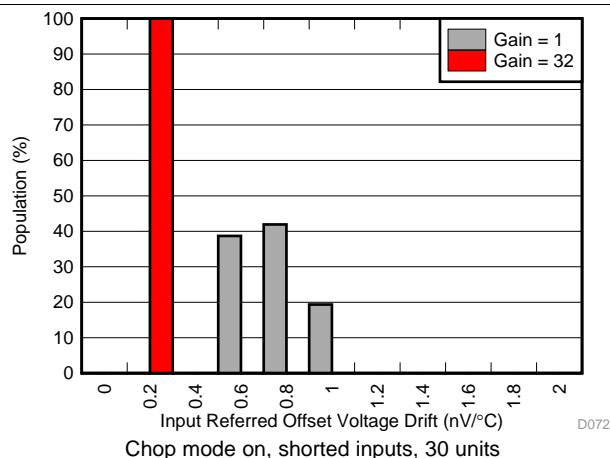


Figure 7. ADC1 Offset Voltage vs Temperature Distribution

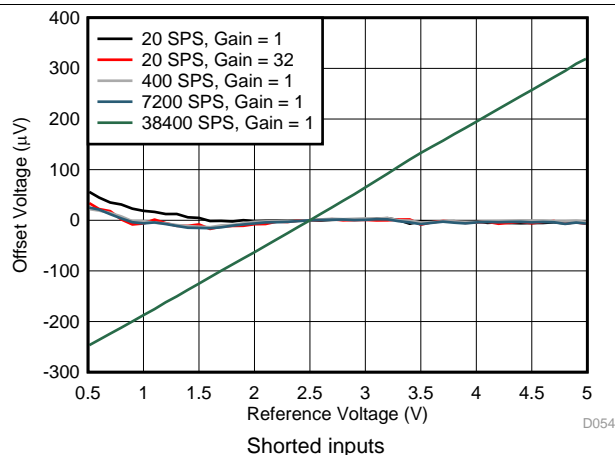


Figure 8. ADC1 Offset Voltage vs Reference Voltage

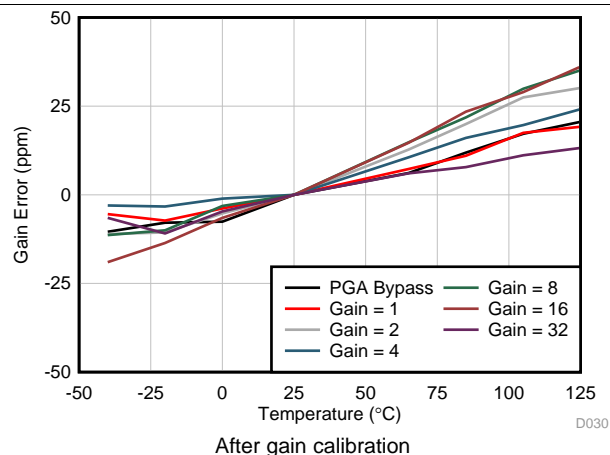


Figure 9. ADC1 Gain Error vs Temperature

Typical Characteristics (continued)

at $T_A = 25^\circ\text{C}$, $V_{AVDD} = 5\text{ V}$, $V_{AVSS} = 0\text{ V}$, $V_{DVDD} = 3.3\text{ V}$, $V_{REF} = 2.5\text{ V}$, and $f_{CLK} = 7.3728\text{ MHz}$ (unless otherwise noted); typical ADC1 characteristics at data rate = 20 SPS and gain = 1; typical ADC2 characteristics at data rate = 10 SPS and gain = 1

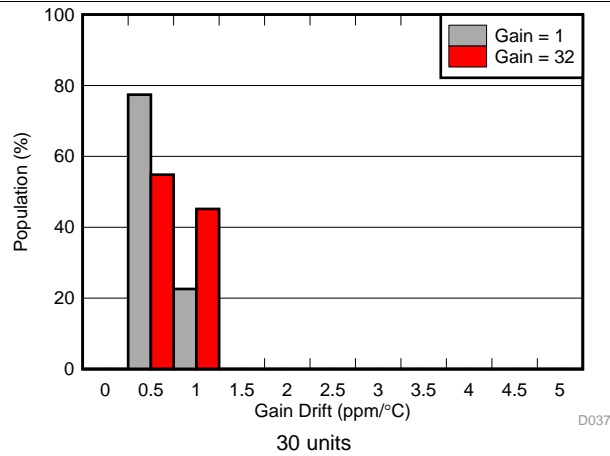


Figure 10. ADC1 Gain vs Temperature Distribution

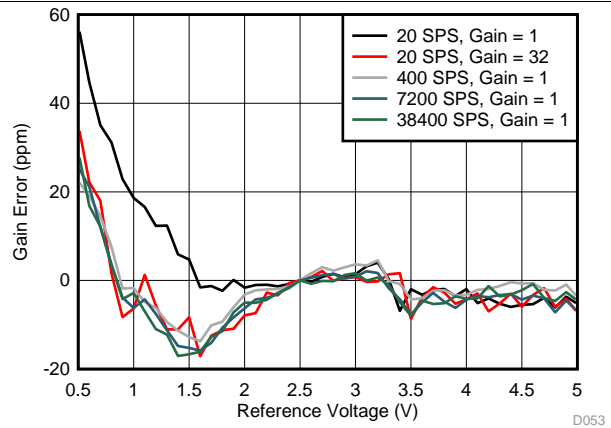


Figure 11. ADC1 Gain Error vs Reference Voltage

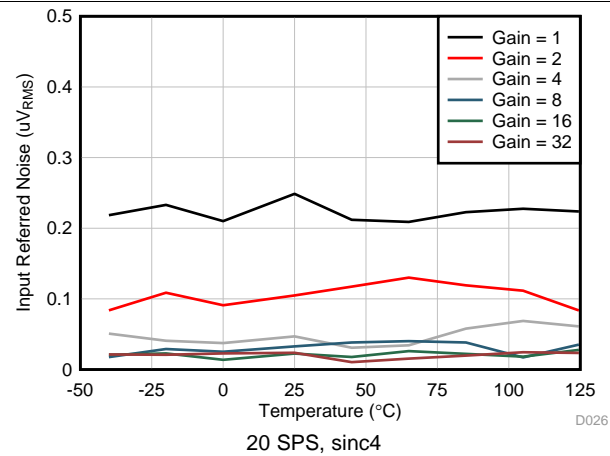


Figure 12. ADC1 Noise vs Temperature

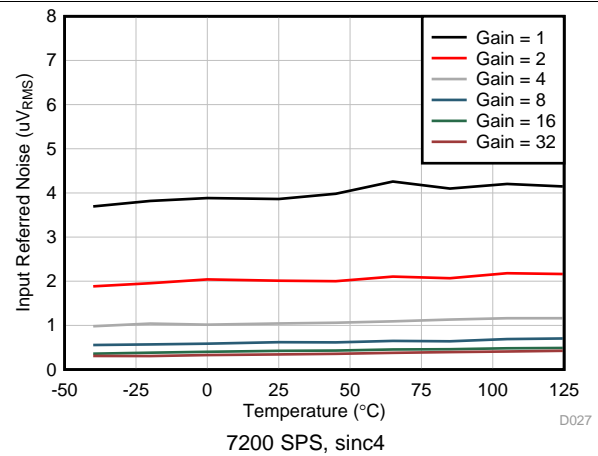


Figure 13. ADC1 Noise vs Temperature

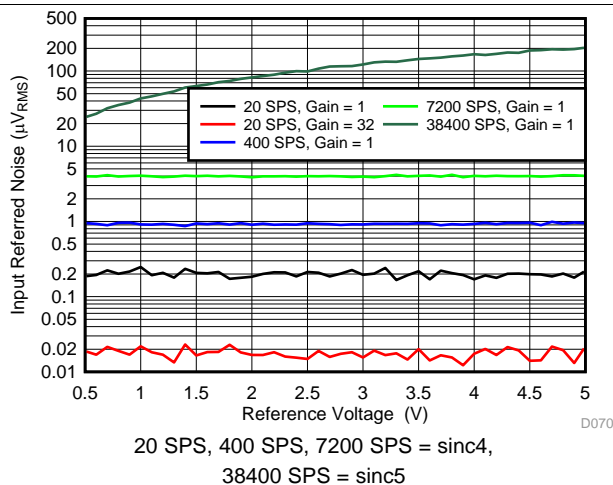


Figure 14. ADC1 Noise vs Reference Voltage

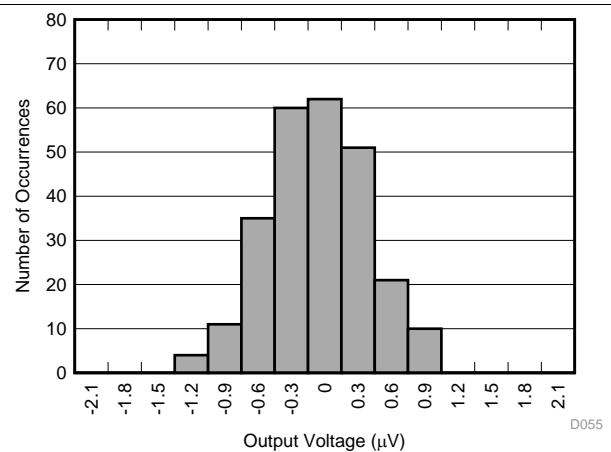


Figure 15. ADC1 Output Reading Distribution

Typical Characteristics (continued)

at $T_A = 25^\circ\text{C}$, $V_{AVDD} = 5\text{ V}$, $V_{AVSS} = 0\text{ V}$, $V_{DVDD} = 3.3\text{ V}$, $V_{REF} = 2.5\text{ V}$, and $f_{CLK} = 7.3728\text{ MHz}$ (unless otherwise noted); typical ADC1 characteristics at data rate = 20 SPS and gain = 1; typical ADC2 characteristics at data rate = 10 SPS and gain = 1

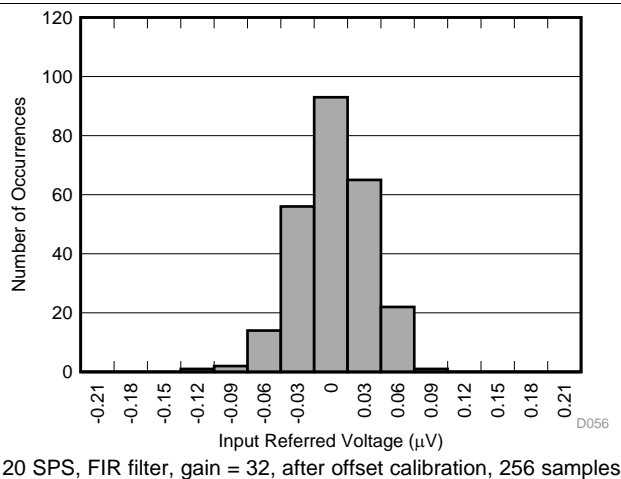


Figure 16. ADC1 Output Reading Distribution

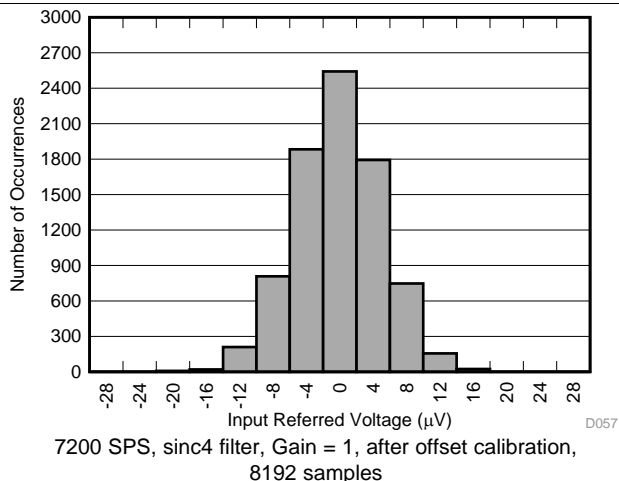


Figure 17. ADC1 Output Reading Distribution

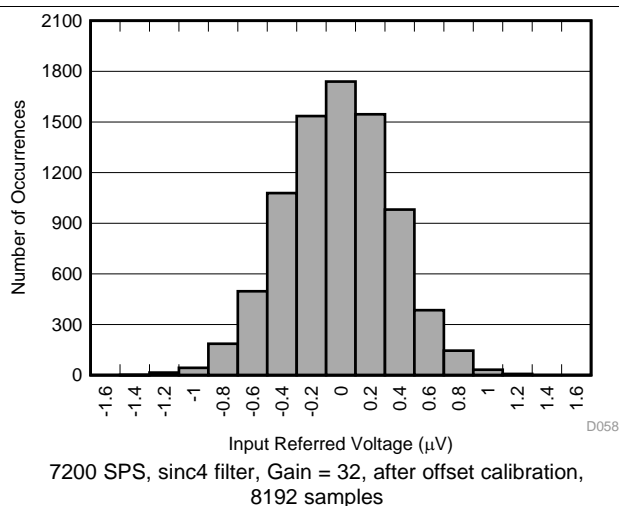


Figure 18. ADC1 Output Reading Distribution

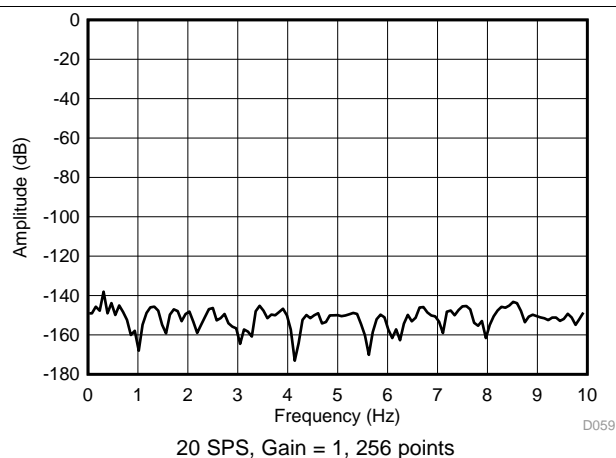


Figure 19. ADC1 Output Spectrum

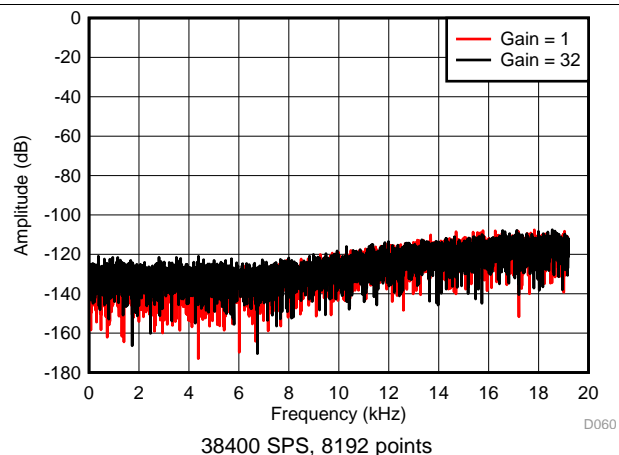


Figure 20. ADC1 Output Spectrum

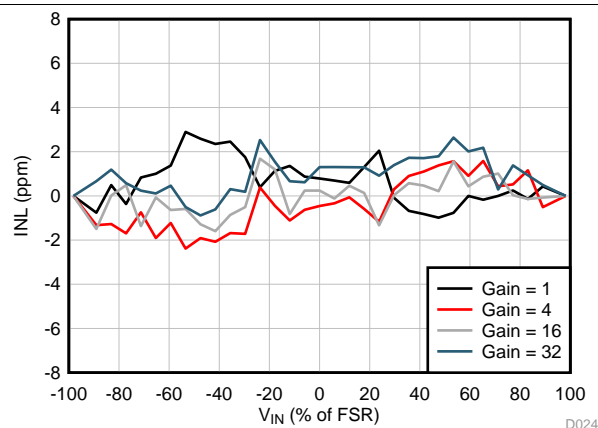
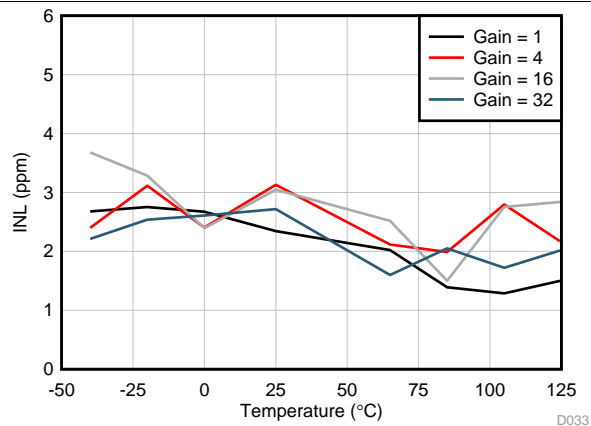
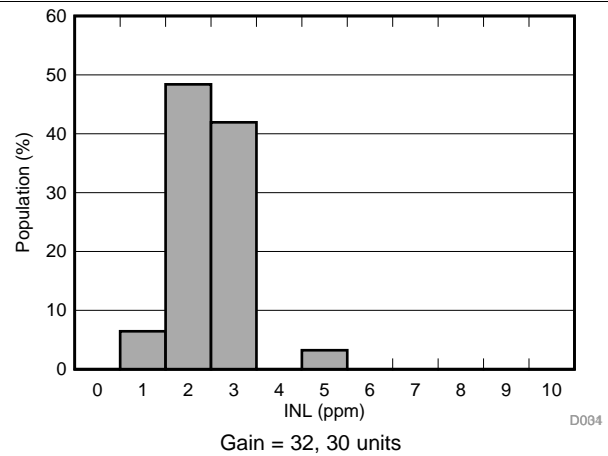
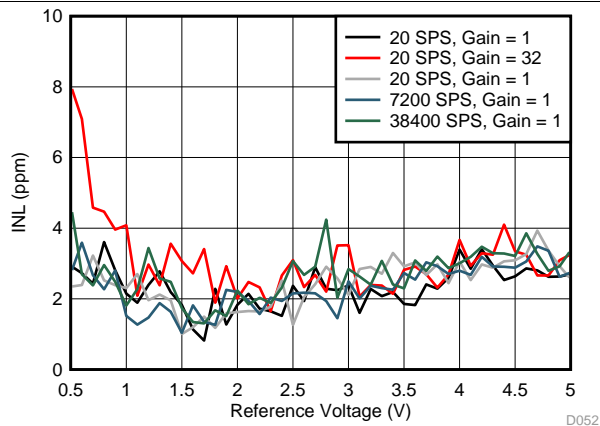
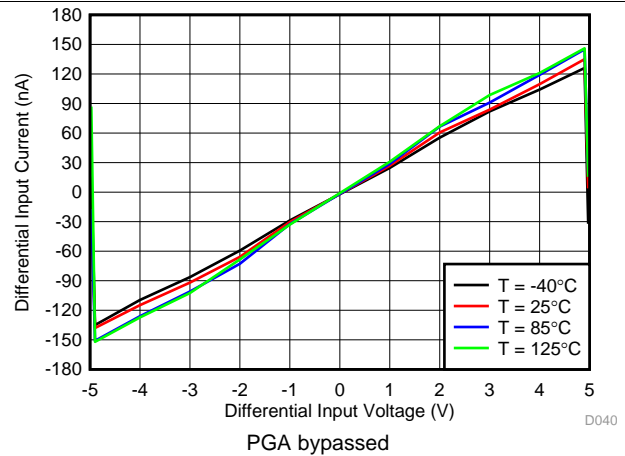
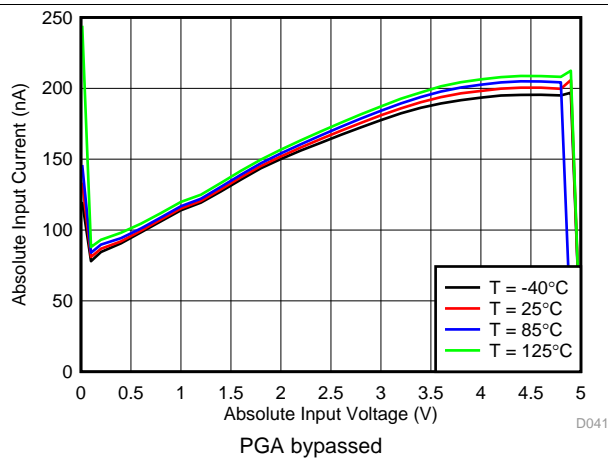
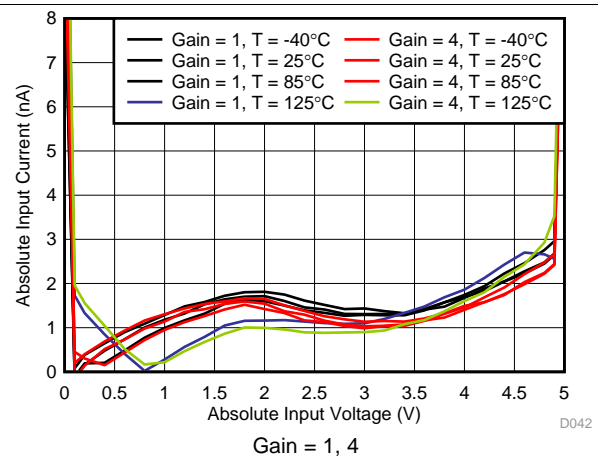


Figure 21. ADC1 INL vs V_{IN}

Typical Characteristics (continued)

at $T_A = 25^\circ\text{C}$, $V_{AVDD} = 5\text{ V}$, $V_{AVSS} = 0\text{ V}$, $V_{DVDD} = 3.3\text{ V}$, $V_{REF} = 2.5\text{ V}$, and $f_{CLK} = 7.3728\text{ MHz}$ (unless otherwise noted); typical ADC1 characteristics at data rate = 20 SPS and gain = 1; typical ADC2 characteristics at data rate = 10 SPS and gain = 1


Figure 22. ADC1 INL vs Temperature

Figure 23. ADC1 INL Distribution

Figure 24. ADC1 INL vs Reference Voltage

Figure 25. ADC1 Differential Input Current

Figure 26. ADC1 Absolute Input Current

Figure 27. ADC1 Absolute Input Current

Typical Characteristics (continued)

at $T_A = 25^\circ\text{C}$, $V_{AVDD} = 5\text{ V}$, $V_{AVSS} = 0\text{ V}$, $V_{DVDD} = 3.3\text{ V}$, $V_{REF} = 2.5\text{ V}$, and $f_{CLK} = 7.3728\text{ MHz}$ (unless otherwise noted); typical ADC1 characteristics at data rate = 20 SPS and gain = 1; typical ADC2 characteristics at data rate = 10 SPS and gain = 1

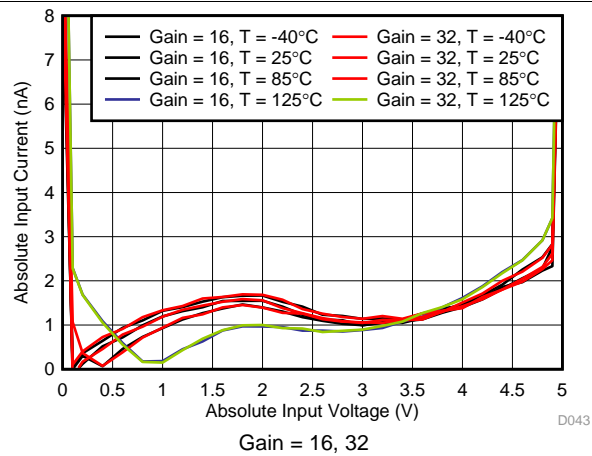


Figure 28. ADC1 Absolute Input Current

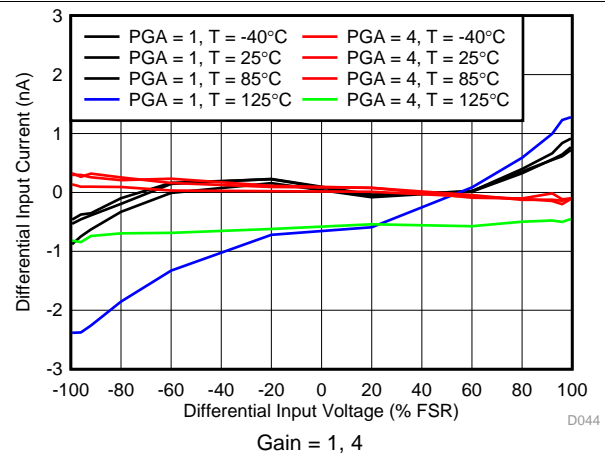


Figure 29. ADC1 Differential Input Current

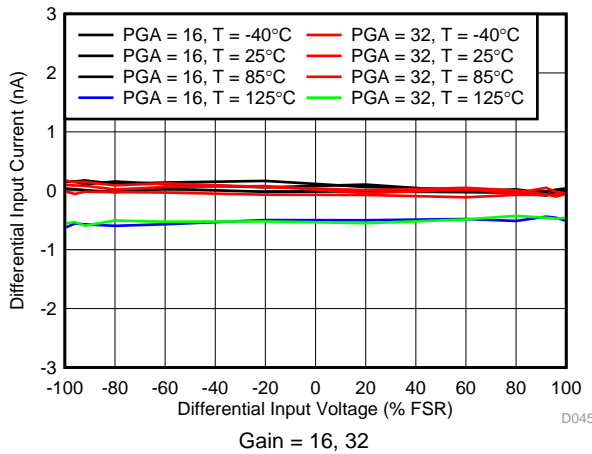


Figure 30. ADC1 Differential Input Current

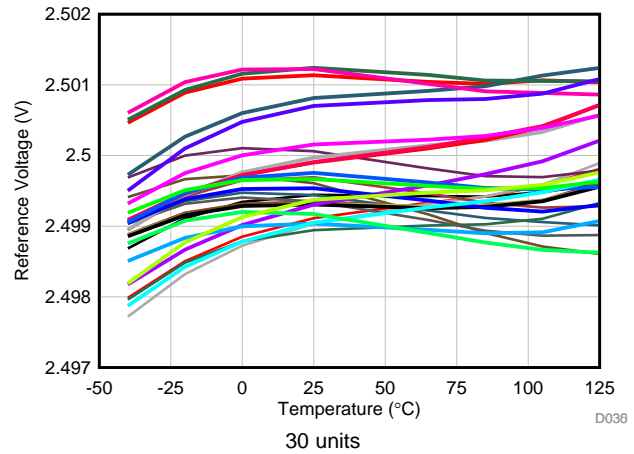


Figure 31. Voltage Reference vs Temperature

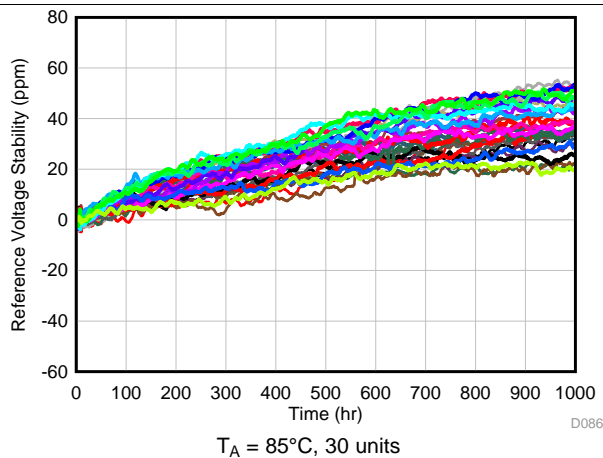


Figure 32. Voltage Reference Long term Drift

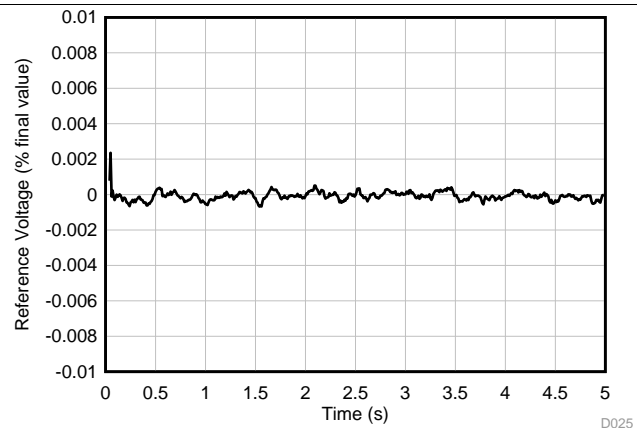
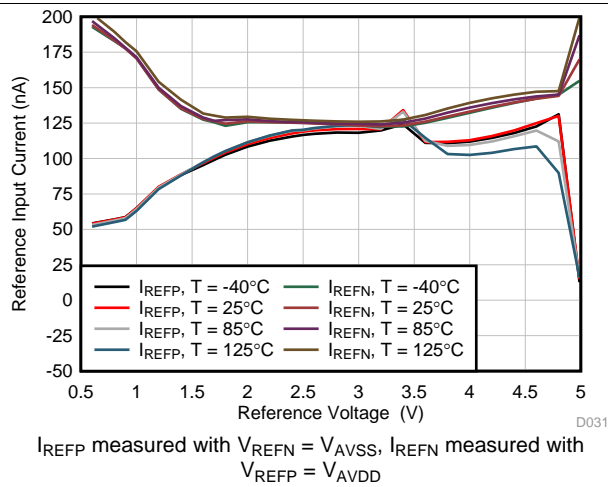
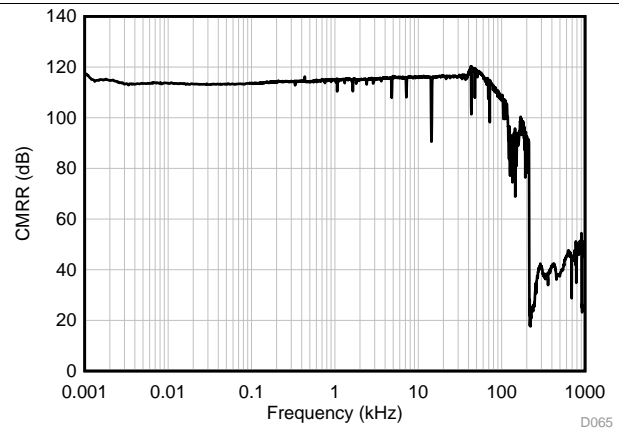
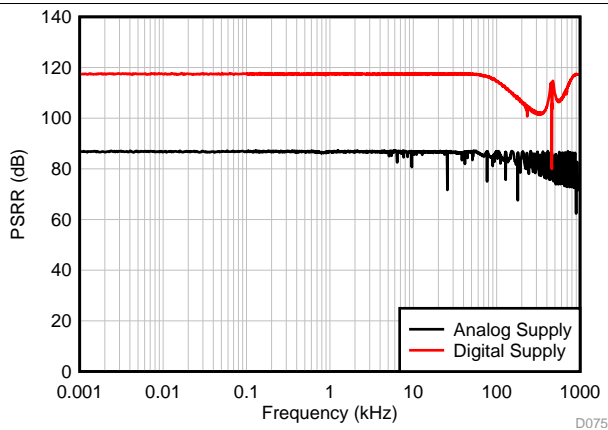
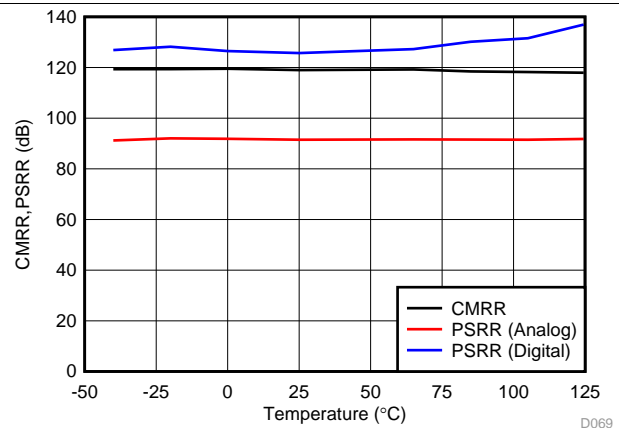
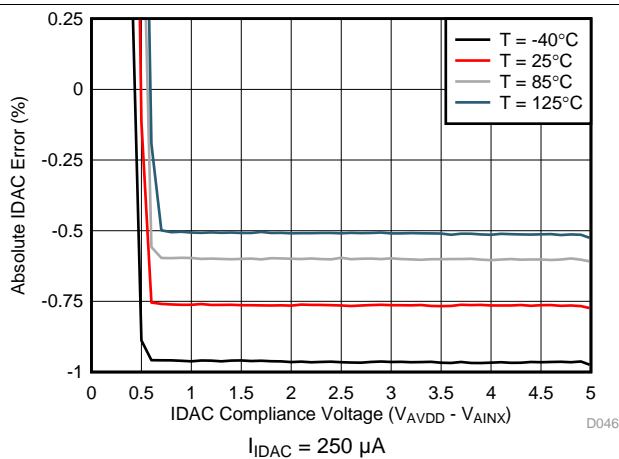
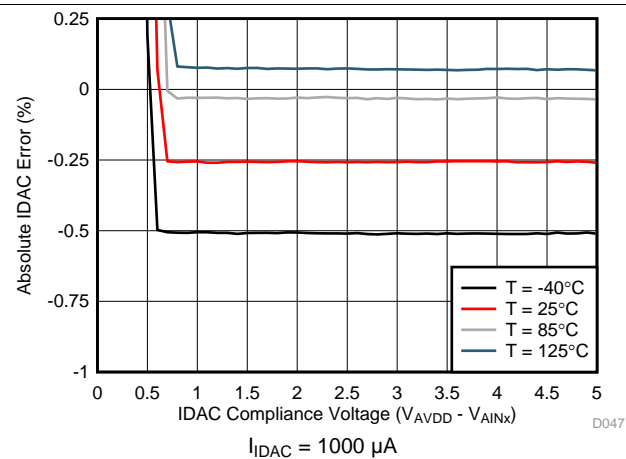


Figure 33. Voltage Reference Start-Up Time

Typical Characteristics (continued)

at $T_A = 25^\circ\text{C}$, $V_{AVDD} = 5\text{ V}$, $V_{AVSS} = 0\text{ V}$, $V_{DVDD} = 3.3\text{ V}$, $V_{REF} = 2.5\text{ V}$, and $f_{CLK} = 7.3728\text{ MHz}$ (unless otherwise noted); typical ADC1 characteristics at data rate = 20 SPS and gain = 1; typical ADC2 characteristics at data rate = 10 SPS and gain = 1


Figure 34. ADC1 Reference Input Current

Figure 35. ADC1 CMRR vs Frequency

Figure 36. ADC1 PSRR vs Frequency

Figure 37. ADC1 CMRR, PSRR vs Temperature

Figure 38. IDAC Error vs Compliance Voltage

Figure 39. IDAC Error vs Compliance Voltage

Typical Characteristics (continued)

at $T_A = 25^\circ\text{C}$, $V_{AVDD} = 5\text{ V}$, $V_{AVSS} = 0\text{ V}$, $V_{DVDD} = 3.3\text{ V}$, $V_{REF} = 2.5\text{ V}$, and $f_{CLK} = 7.3728\text{ MHz}$ (unless otherwise noted); typical ADC1 characteristics at data rate = 20 SPS and gain = 1; typical ADC2 characteristics at data rate = 10 SPS and gain = 1

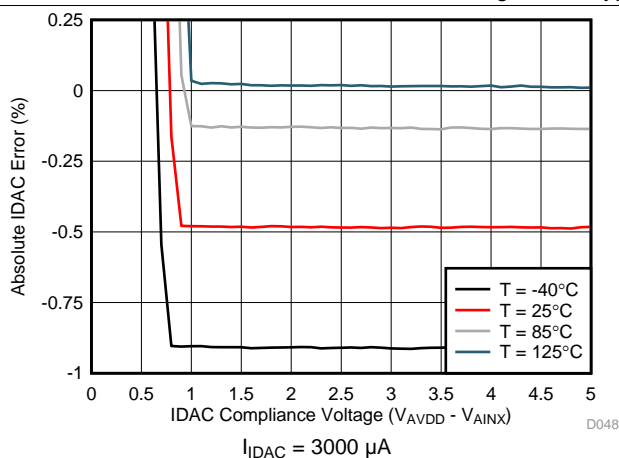


Figure 40. IDAC Error vs Compliance Voltage

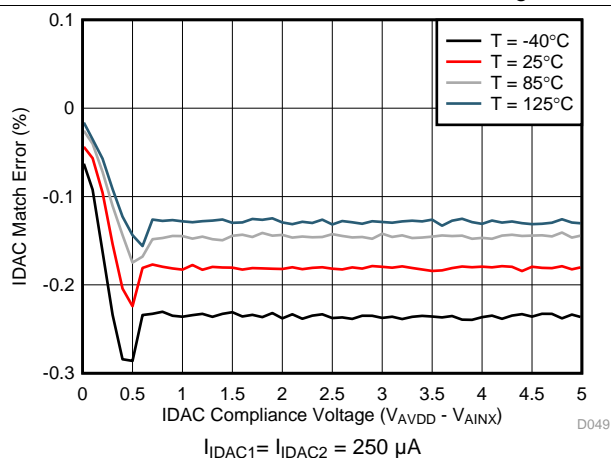


Figure 41. IDAC Current Error vs Compliance Voltage

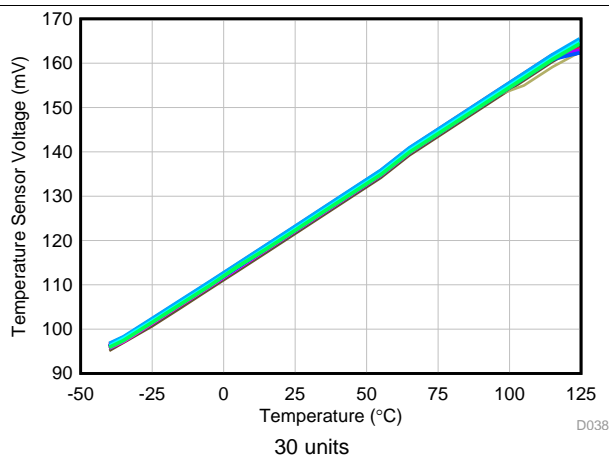


Figure 42. Temperature Sensor Voltage vs Temperature

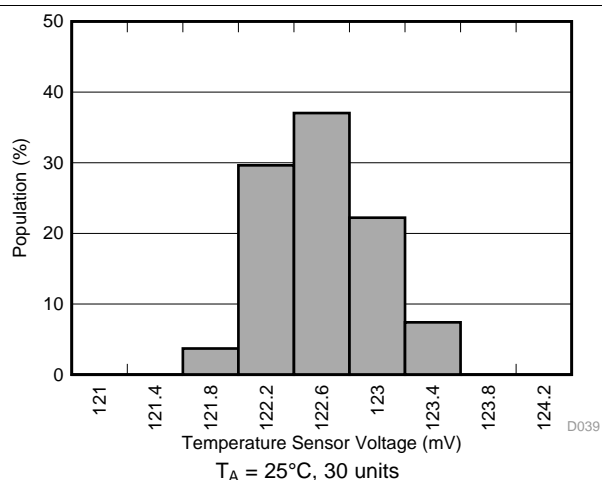


Figure 43. Temperature Sensor Voltage Distribution

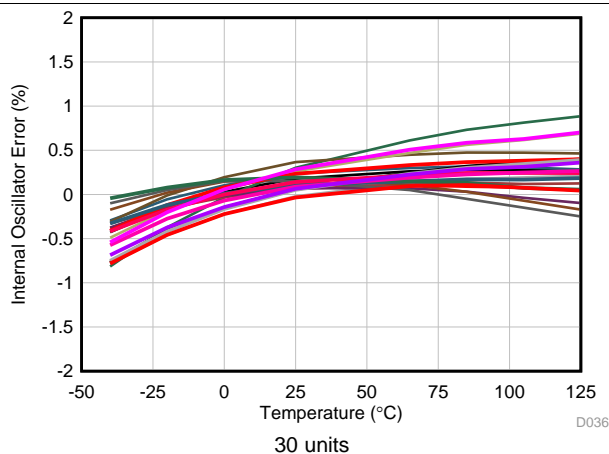


Figure 44. Internal Oscillator Frequency vs Temperature

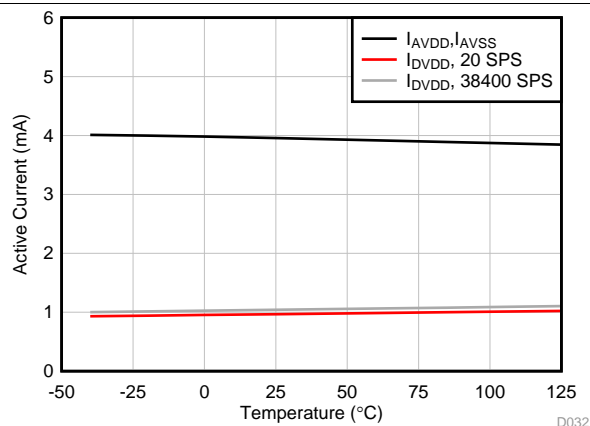


Figure 45. ADS1262 Active Current vs Temperature

Typical Characteristics (continued)

at $T_A = 25^\circ\text{C}$, $V_{AVDD} = 5\text{ V}$, $V_{AVSS} = 0\text{ V}$, $V_{DVDD} = 3.3\text{ V}$, $V_{REF} = 2.5\text{ V}$, and $f_{CLK} = 7.3728\text{ MHz}$ (unless otherwise noted); typical ADC1 characteristics at data rate = 20 SPS and gain = 1; typical ADC2 characteristics at data rate = 10 SPS and gain = 1

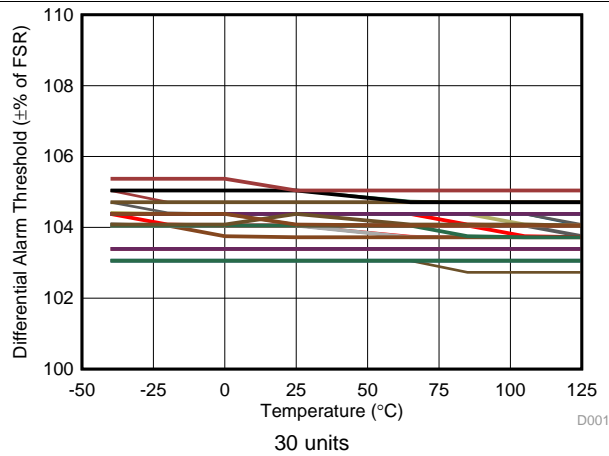


Figure 46. ADC1 Differential Over-range Alarm Threshold vs Temperature

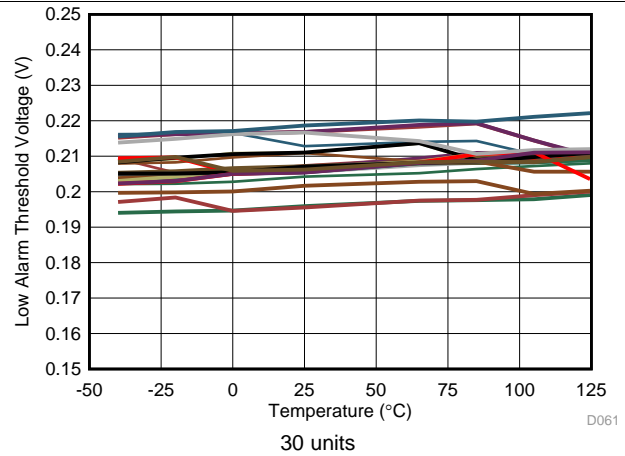


Figure 47. ADC1 Absolute Low Alarm Threshold vs Temperature

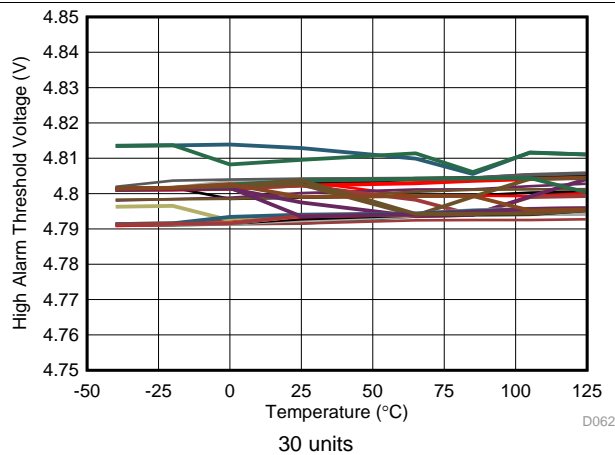


Figure 48. ADC1 Absolute High Alarm Threshold vs Temperature

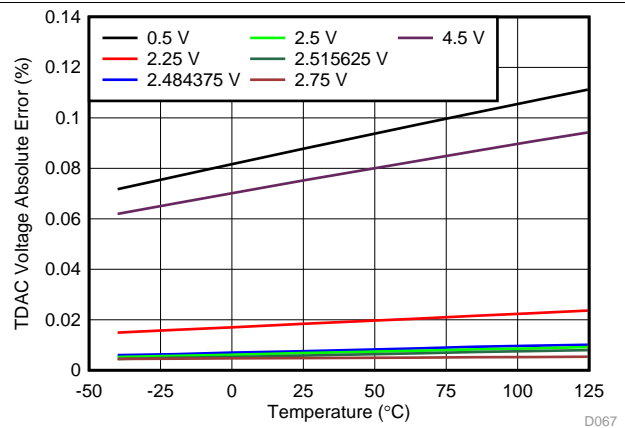


Figure 49. TDAC Error vs Temperature

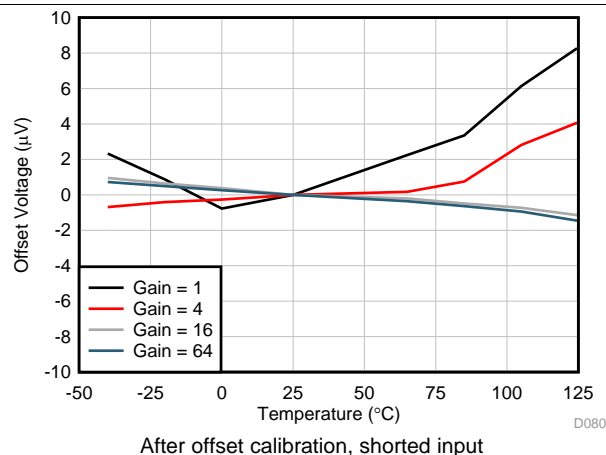


Figure 50. ADC2 Offset Voltage vs Temperature

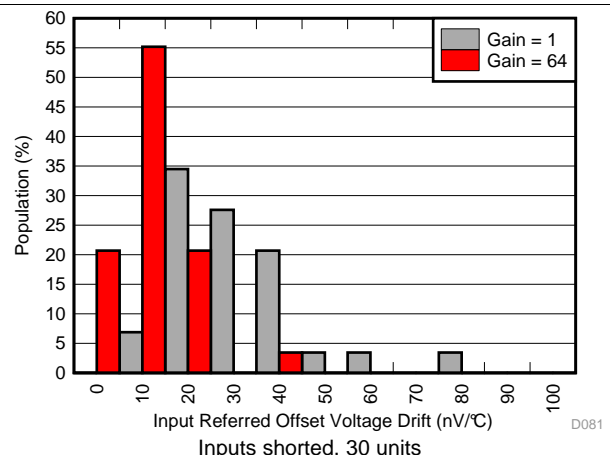


Figure 51. ADC2 Offset Voltage vs Temperature Distribution

Typical Characteristics (continued)

at $T_A = 25^\circ\text{C}$, $V_{AVDD} = 5\text{ V}$, $V_{AVSS} = 0\text{ V}$, $V_{DVDD} = 3.3\text{ V}$, $V_{REF} = 2.5\text{ V}$, and $f_{CLK} = 7.3728\text{ MHz}$ (unless otherwise noted); typical ADC1 characteristics at data rate = 20 SPS and gain = 1; typical ADC2 characteristics at data rate = 10 SPS and gain = 1

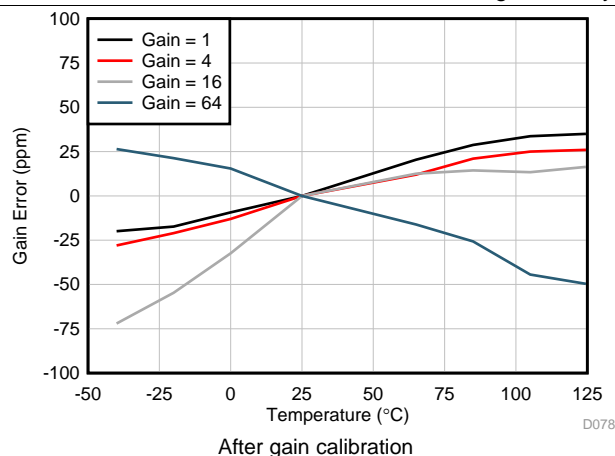


Figure 52. ADC2 Gain vs Temperature

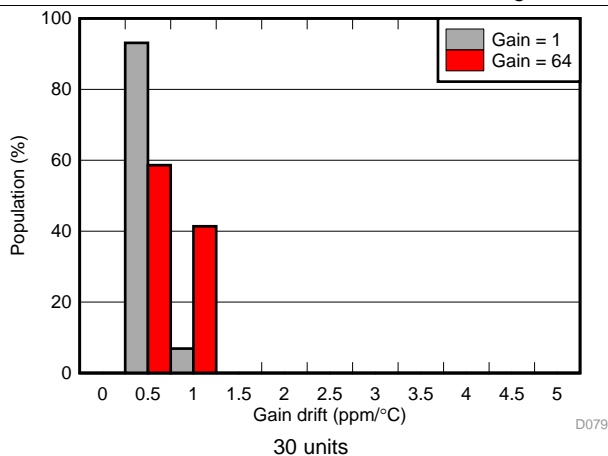
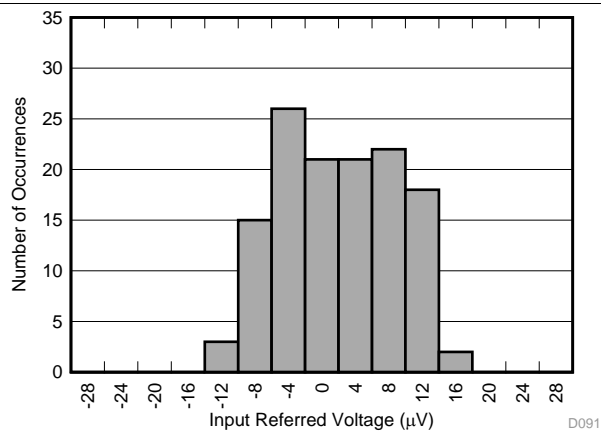
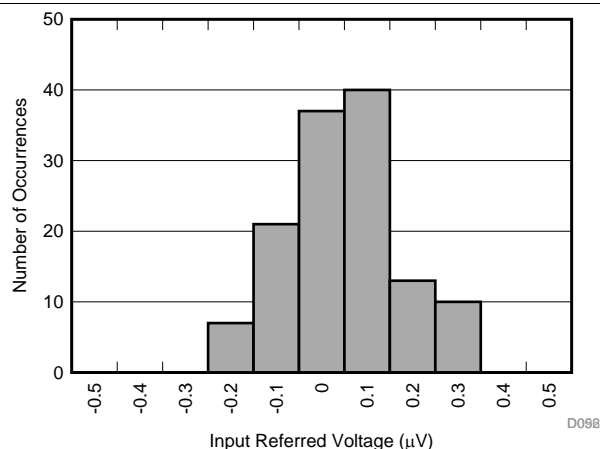


Figure 53. ADC2 Gain vs Temperature Distribution



Gain = 1, 10 SPS, after offset calibration, 128 samples

Figure 54. ADC2 Output Reading Distribution



Gain = 128, 10 SPS, after offset calibration, 128 samples

Figure 55. ADC2 Output Reading Distribution

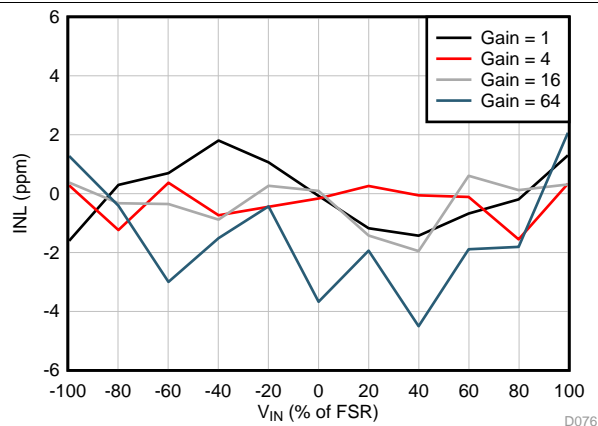


Figure 56. ADC2 INL vs V_{IN}

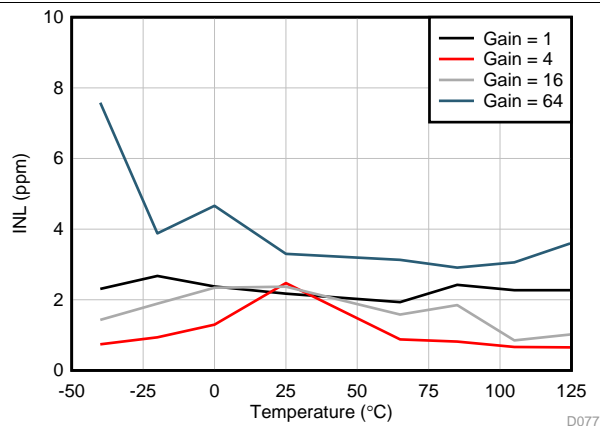


Figure 57. ADC2 INL vs Temperature

Typical Characteristics (continued)

at $T_A = 25^\circ\text{C}$, $V_{AVDD} = 5\text{ V}$, $V_{AVSS} = 0\text{ V}$, $V_{DVDD} = 3.3\text{ V}$, $V_{REF} = 2.5\text{ V}$, and $f_{CLK} = 7.3728\text{ MHz}$ (unless otherwise noted); typical ADC1 characteristics at data rate = 20 SPS and gain = 1; typical ADC2 characteristics at data rate = 10 SPS and gain = 1

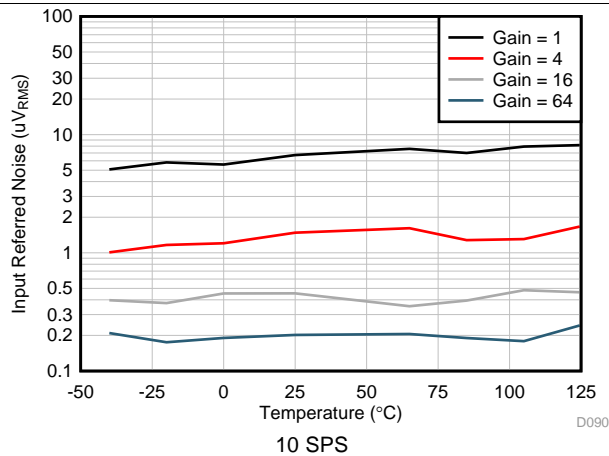


Figure 58. ADC2 Noise vs Temperature

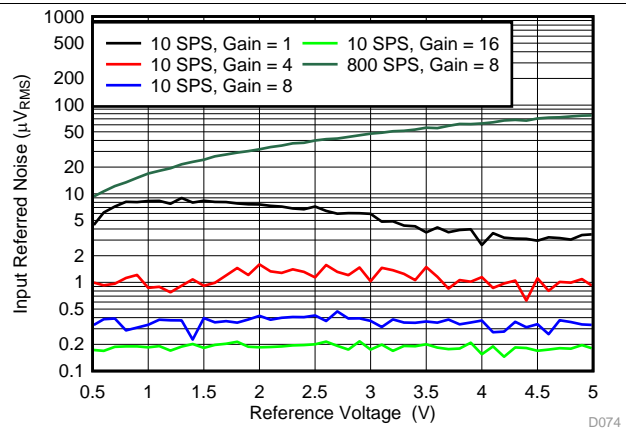


Figure 59. ADC2 Noise vs Reference Voltage

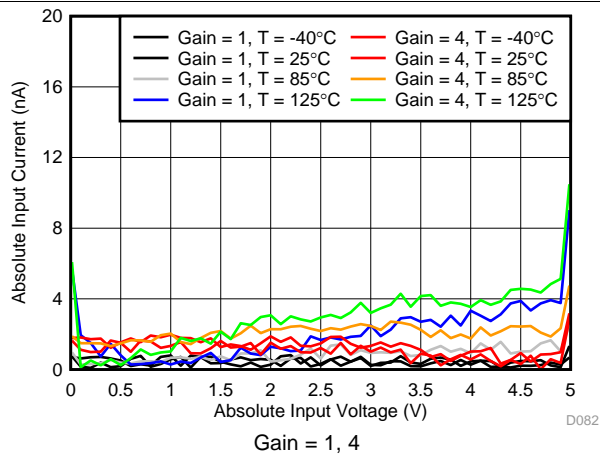


Figure 60. ADC2 Absolute Input Current

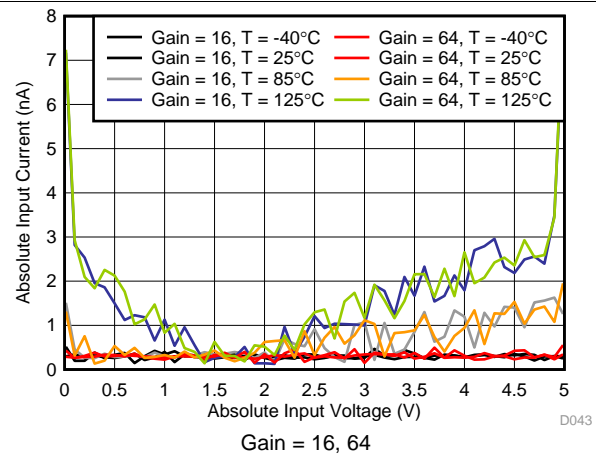


Figure 61. ADC2 Absolute Input Current

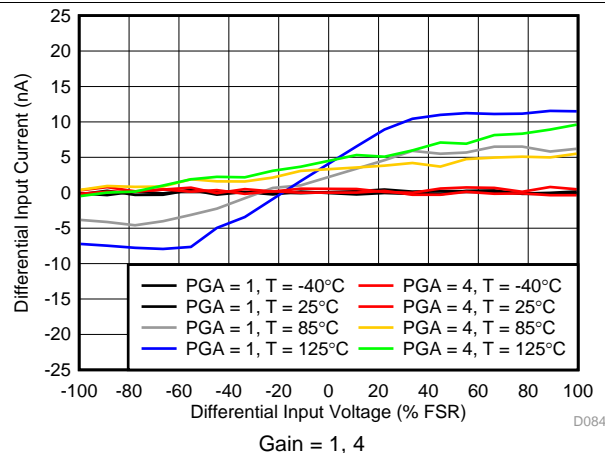


Figure 62. ADC2 Differential Input Current

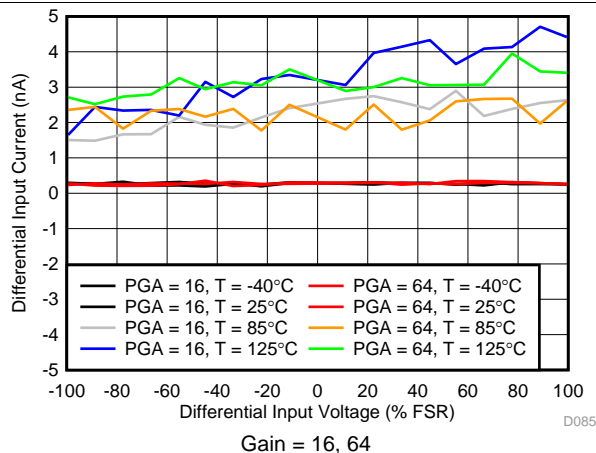


Figure 63. ADC2 Differential Input Current

Typical Characteristics (continued)

at $T_A = 25^\circ\text{C}$, $V_{AVDD} = 5\text{ V}$, $V_{AVSS} = 0\text{ V}$, $V_{DVDD} = 3.3\text{ V}$, $V_{REF} = 2.5\text{ V}$, and $f_{CLK} = 7.3728\text{ MHz}$ (unless otherwise noted); typical ADC1 characteristics at data rate = 20 SPS and gain = 1; typical ADC2 characteristics at data rate = 10 SPS and gain = 1

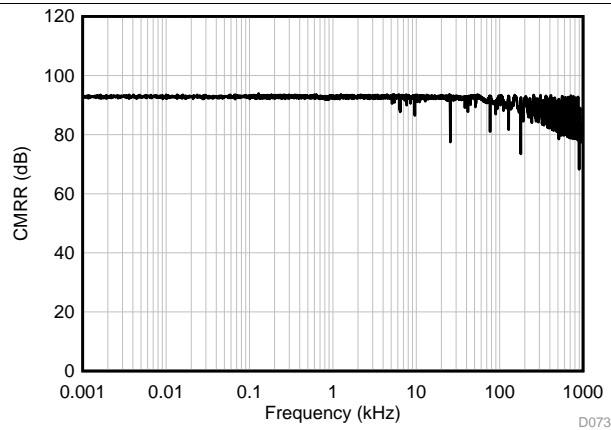


Figure 64. ADC2 CMRR vs Frequency

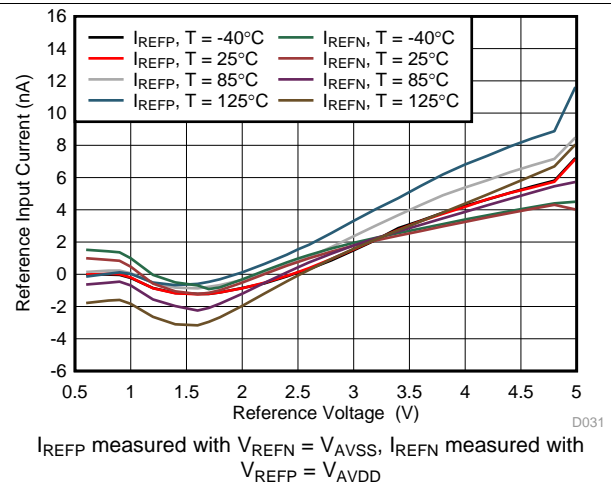


Figure 65. ADC2 Reference Input Current



16-BIT 40-KSPS LOW POWER SAMPLING ANALOG-TO-DIGITAL CONVERTER WITH INTERNAL REFERENCE AND PARALLEL/SERIAL INTERFACE

FEATURES

- 40-kHz Min Sampling Rate
- 4-V, 5-V, and ± 10 -V Input Ranges
- 89.9-dB SINAD with 10-kHz Input
- ± 1.5 LSB Max INL
- $+1.5/-1$ LSB Max DNL, 16-Bit No Missing Codes
- ± 5 -mV BPZ, ± 0.4 PPM/ $^{\circ}$ C BPZ Drift
- SPI Compatible Serial Output With Daisy-Chain (TAG) Feature
- Single 5-V Analog Supply
- Pin-Compatible With ADS7807 and 12-Bit ADS7806/8506
- Uses Internal or External 2.5-V Reference
- Low Power Dissipation
 - 24 mW Typ, 30 mW Max at 40 KSPS
- 50- μ W Max Power Down Mode
- 28-Pin SO Package
- Full Parallel Interface
- 2's Comp or BTC Output Code

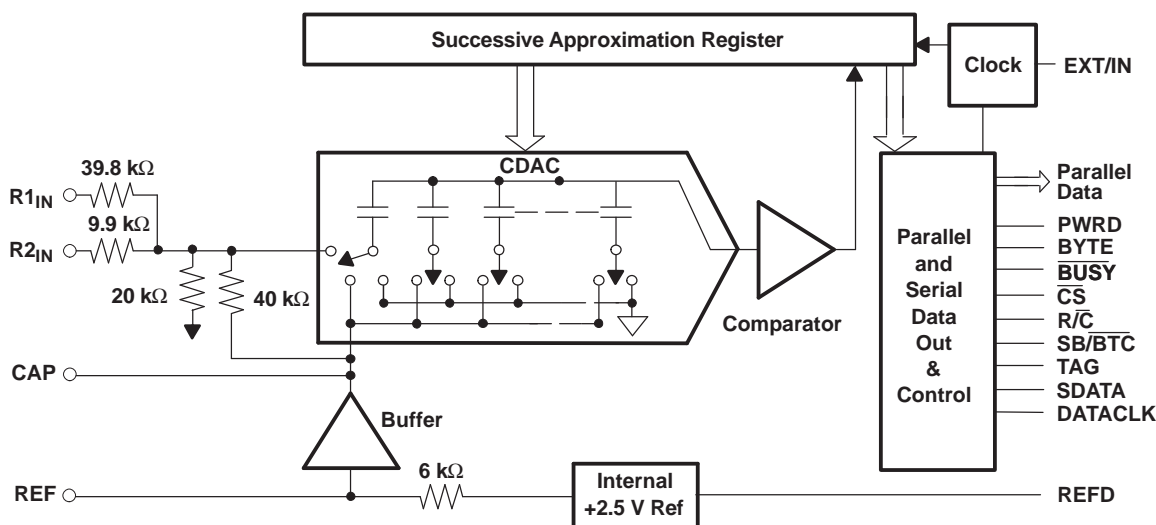
APPLICATIONS

- Industrial Process Control
- Test Equipment
- Medical Equipment
- Data Acquisition Systems
- Digital Signal Processing
- Instrumentation

DESCRIPTION

The ADS8507 is a complete low power, single 5-V supply, 16-bit sampling analog-to-digital (A/D) converter. It contains a complete 16-bit capacitor-based, successive approximation register (SAR) A/D converter with sample and hold, clock, reference, and data interface. The converter can be configured for a variety of input ranges including ± 10 V, 4 V, and 5 V. For most input ranges, the input voltage can swing to 25 V or -25 V without damage to the converter.

A SPI compatible serial interface allows data to be synchronized to an internal or external clock. A full parallel interface with BYTE select is also provided to allow the maximum system design flexibility. The ADS8507 is specified at 40 kHz sampling rate over the industrial -40° C to 85° C temperature range.



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

QSPI, SPI are trademarks of Motorola.



These devices have limited built-in ESD protection. The leads should be shorted together or the device placed in conductive foam during storage or handling to prevent electrostatic damage to the MOS gates.

PACKAGE/ORDERING INFORMATION⁽¹⁾

PRODUCT	MINIMUM RELATIVE ACCURACY (LSB)	NO MISSING CODE	MINIMUM SINAD (dB)	SPECIFICATION TEMPERATURE RANGE	PACKAGE LEAD	PACKAGE DESIGNATOR	ORDERING NUMBER	TRANSPORT MEDIA, QTY
ADS8507IB	±1.5	16	87	-40°C to 85°C	SO-28	DW	ADS8507IBDW	Tube, 20
							ADS8507IBDWR	Tape and Reel, 1000
ADS8507I	±3	15	83	-40°C to 85°C	SO-28	DW	ADS8507IDW	Tube, 20
							ADS8507IDWR	Tape and Reel, 1000

(1) For the most current package and ordering information, see the Package Option Addendum at the end of this document, or see the TI website at www.ti.com.

ABSOLUTE MAXIMUM RATINGS

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

		UNIT
Analog inputs	R1 _{IN}	±25 V
	R2 _{IN}	±25 V
	REF	+V _{ANA} + 0.3 V to AGND2 - 0.3 V
Ground voltage differences	DGND, AGND2	±0.3 V
	V _{ANA}	6 V
	V _{DIG} to V _{ANA}	0.3 V
	V _{DIG}	6 V
Digital inputs		-0.3 V to +V _{DIG} + 0.3 V
Maximum junction temperature		165°C
Storage temperature range		-65°C to 150°C
Internal power dissipation		700 mW
Lead temperature (soldering, 1.6 mm from case 10 seconds)		260°C

(1) All voltage values are with respect to network ground terminal.

ELECTRICAL CHARACTERISTICS

At T_A = -40°C to 85°C, f_S = 40 kHz, V_{DIG} = V_{ANA} = 5 V, and using internal reference and fixed resistors, (see [Figure 43](#)) unless otherwise specified.

PARAMETER		TEST CONDITIONS	ADS8507I		ADS8507IB		UNIT			
			MIN	TYP	MAX	MIN		TYP	MAX	
Resolution					16		16	Bits		
ANALOG INPUT										
Voltage ranges		See Table 1	-10		10		-10		10	V
			0		5		0		5	
			0		4		0		4	
Impedance										
Capacitance					45		45		pF	
THROUGHPUT SPEED										
Conversion time		Acquire and convert			20		20		μs	
Complete cycle					25		25			
Throughput rate			40		40				kHz	
DC ACCURACY										
INL	Integral linearity error		-3		3		-1.5		1.5	LSB ⁽¹⁾

(1) LSB means Least Significant Bit. One LSB for the ±10 V input range is 305 μV.

ELECTRICAL CHARACTERISTICS (continued)

At $T_A = -40^{\circ}\text{C}$ to 85°C , $f_S = 40\text{ kHz}$, $V_{\text{DIG}} = V_{\text{ANA}} = 5\text{ V}$, and using internal reference and fixed resistors, (see [Figure 43](#)) unless otherwise specified.

PARAMETER		TEST CONDITIONS	ADS8507I			ADS8507IB			UNIT
			MIN	TYP	MAX	MIN	TYP	MAX	
DNL	Differential linearity error		-2		3	-1		1.5	LSB
	No missing codes		15			16			Bits
	Transition noise ⁽²⁾			0.8			0.8		LSB
	Gain Error			± 0.2			± 0.1		%
	Full scale error ⁽³⁾⁽⁴⁾		-0.5		0.5	-0.25		0.25	%
	Full scale error drift			± 7			± 5		ppm/ $^{\circ}\text{C}$
	Full scale error ⁽³⁾⁽⁴⁾	Ext. 2.5-V Ref	-0.5		0.5	-0.25		0.25	%
	Full scale error drift	Ext. 2.5-V Ref		± 0.5			± 0.5		ppm/ $^{\circ}\text{C}$
	Bipolar zero error ⁽³⁾	$\pm 10\text{ V}$ Range	-10		10	-5		5	mV
	Bipolar zero error drift	$\pm 10\text{ V}$ Range		± 0.5			± 0.5		ppm/ $^{\circ}\text{C}$
	Unipolar zero error ⁽⁵⁾	0 V to 5 V, 0 V to 4 V Ranges	-3		3	-3		3	mV
	Unipolar zero error drift	0 V to 5 V, 0 V to 4 V Ranges		± 0.5			± 0.5		ppm/ $^{\circ}\text{C}$
	Recovery time to rated accuracy from power down ⁽⁶⁾	2.2- μF Capacitor to CAP		1			1		ms
	Power supply sensitivity ($V_{\text{DIG}} = V_{\text{ANA}} = V_S$)	+4.75 V < V_S < +5.25 V			± 8			± 8	LSB
AC ACCURACY									
SFDR	Spurious-free dynamic range	$f_{\text{IN}} = 1\text{ kHz}, \pm 10\text{ V}$	90	100		96	102		dB ⁽⁷⁾
THD	Total harmonic distortion	$f_{\text{IN}} = 1\text{ kHz}, \pm 10\text{ V}$		-100	-90		-100	-96	dB
SINAD	Signal-to-(noise+distortion)	$f_{\text{IN}} = 1\text{ kHz}, \pm 10\text{ V}$	83	88		87	89.9		dB
		-60 dB Input		30			32		
SNR	Signal-to-noise		83	88		87	89.9		dB
	Usable bandwidth ⁽⁸⁾	$f_{\text{IN}} = 1\text{ kHz}, \pm 10\text{ V}$		130			130		kHz
	Full-power bandwidth (-3 dB)			600			600		kHz
SAMPLING DYNAMICS									
	Aperture delay			40			40		ns
	Aperture jitter			20			20		ps
	Transient response	FS Step			5			5	μs
	Overvoltage recovery ⁽⁹⁾			750			750		ns
REFERENCE									
	Internal reference voltage	No load	2.48	2.5	2.52	2.48	2.5	2.52	V
	Internal reference source current (must use external buffer)			1			1		μA
	Internal reference drift			8			8		ppm/ $^{\circ}\text{C}$
	External reference voltage range for specified linearity		2.3	2.5	2.7	2.3	2.5	2.7	V
	External reference current drain	Ext. 2.5-V Ref			100			100	μA
DIGITAL INPUTS									
V_{IL}	Low-level input voltage		-0.3		+0.8	-0.3		+0.8	V
V_{IH}	High-level input voltage		2.0		$V_D + 0.3\text{ V}$	2.0		$V_D + 0.3\text{ V}$	V
I_{IL}	Low-level input current	$V_{\text{IL}} = 0\text{ V}$			± 10			± 10	μA

(2) Typical rms noise at worst case transitions.

(3) As measured with fixed resistors, see [Figure 43](#). Adjustable to zero with external potentiometer.

(4) Full scale error is the worst case of -Full Scale or +Full Scale untrimmed deviation from ideal first and last code transitions, divided by the transition voltage (not divided by the full-scale range) and includes the effect of offset error.

(5) As measured with fixed resistors, see [Figure 43](#). Adjustable to zero with external potentiometer.

(6) This is the time delay after the ADS8507 is brought out of Power-Down mode until all internal settling occurs and the analog input is acquired to rated accuracy. A Convert command after this delay will yield accurate results.

(7) All specifications in dB are referred to a full-scale input.

(8) Usable bandwidth defined as full-scale input frequency at which Signal-to-(Noise + Distortion) degrades to 60 dB.

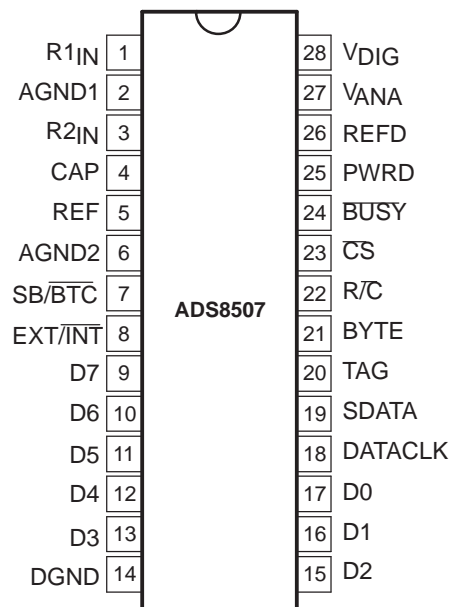
(9) Recovers to specified performance after 2 x FS input overvoltage.

ELECTRICAL CHARACTERISTICS (continued)

At $T_A = -40^{\circ}\text{C}$ to 85°C , $f_S = 40\text{ kHz}$, $V_{\text{DIG}} = V_{\text{ANA}} = 5\text{ V}$, and using internal reference and fixed resistors, (see [Figure 43](#)) unless otherwise specified.

PARAMETER	TEST CONDITIONS	ADS8507I			ADS8507IB			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	
I_{IH} High-level input current	$V_{\text{IH}} = 5\text{ V}$			± 10			± 10	μA
DIGITAL OUTPUTS								
Data format - Parallel 16-bits in 2-bytes								
Data coding - Serial binary 2s complement or straight binary								
V_{OL} Low-level output voltage	$I_{\text{SINK}} = 1.6\text{ mA}$			0.4			0.4	V
V_{OH} High-level output voltage	$I_{\text{SOURCE}} = 500\text{ }\mu\text{A}$	4			4			V
Leakage Current	High-Z state, $V_{\text{OUT}} = 0\text{ V}$ to V_{DIG}			± 5			± 5	μA
Output capacitance	High-Z state			15			15	pF
DIGITAL TIMING								
Bus access time	$R_L = 3.3\text{ k}\Omega$, $C_L = 50\text{ pF}$			83			83	ns
Bus relinquish time	$R_L = 3.3\text{ k}\Omega$, $C_L = 10\text{ pF}$			83			83	ns
POWER SUPPLIES								
V_{DIG} Digital voltage	Must be $\leq V_{\text{ANA}}$	4.75	5	5.25	4.75	5	5.25	V
V_{ANA} Analog voltage		4.75	5	5.25	4.75	5	5.25	V
I_{DIG} Digital current			0.6			0.6		mA
I_{ANA} Analog current			4.2			4.2		mA
Power dissipation	$V_{\text{ANA}} = V_{\text{DIG}} = 5\text{ V}$, $f_S = 40\text{ kHz}$		24	30		24	30	mW
	REFD High		20			20		mW
	PWRD and REFD High		50			50		μW
TEMPERATURE RANGE								
Specified performance		-40		85	-40		85	$^{\circ}\text{C}$
Derated performance		-55		125	-55		125	$^{\circ}\text{C}$
Storage temperature		-65		150	-65		150	$^{\circ}\text{C}$
SO Thermal resistance (θ_{JA})			46			46		$^{\circ}\text{C/W}$

DEVICE INFORMATION



DEVICE INFORMATION (continued)

Terminal Functions

TERMINAL		DIGITAL I/O	DESCRIPTION
NO.	NAME		
1	R1 _{IN}		Analog Input.
2	AGND1		Analog sense ground. Used internally as ground reference point. Minimal current flow
3	R2 _{IN}		Analog Input.
4	CAP		Reference buffer output. 2.2-μF Tantalum capacitor to ground.
5	REF		Reference input/output. Outputs internal 2.5-V reference. Can also be driven by external system reference. In both cases, bypass to ground with a 2.2-μF tantalum capacitor.
6	AGND2		Analog ground
7	SB/BTC	I	Selects straight binary or binary 2s complement for output data format. If high, data is output in a straight binary format. If low, data is output in a binary 2's complement format.
8	EXT/INT	I	Selects external/Internal data clock for transmitting data. If high, data is output synchronized to the clock input on DATACLK. If low, a convert command initiates the transmission of the data from the previous conversion, along with 16-clock pulses output on DATACLK.
9	D7	O	Data bit 7 if BYTE is high. Data bit 15 (MSB) if BYTE is low. Hi-Z when CS is high and/or R/C is low. Leave unconnected when using serial output.
10	D6	O	Data bit 6 if BYTE is high. Data bit 14 if BYTE is low. Hi-Z when CS is high and/or R/C is low.
11	D5	O	Data bit 5 if BYTE is high. Data bit 13 if BYTE is low. Hi-Z when CS is high and/or R/C is low.
12	D4	O	Data bit 4 if BYTE is high. Data bit 12 if BYTE is low. Hi-Z when CS is high and/or R/C is low.
13	D3	O	Data bit 3 if BYTE is high. Data bit 11 if BYTE is low. Hi-Z when CS is high and/or R/C is low.
14	DGND		Digital ground
15	D2	O	Data bit 2 if BYTE is high. Data bit 10 if BYTE is low. Hi-Z when CS is high and/or R/C is low.
16	D1	O	Data bit 1 if BYTE is high. Data bit 9 if BYTE is low. Hi-Z when CS is high and/or R/C is low.
17	D0	O	Data bit 0 (LSB) if BYTE is high. Data bit 8 if BYTE is low. Hi-Z when CS is high and/or R/C is low.
18	DATACLK	I/O	Either an input or an output depending on the EXT/INT level. Output data is synchronized to this clock. If EXT/INT is low, DATACLK transmits 16 pulses after each conversion, and then remains low between conversions.
19	SDATA	O	Serial data output. Data is synchronized to DATACLK, with the format determined by the level of SB/BTC. In the external clock mode, after 16 bits of data, the ADC outputs the level input on TAG as long as CS is low and R/C is high. If EXT/INT is low, data is valid on both the rising and falling edges of DATACLK, and between conversions SDATA stays at the level of the TAG input when the conversion was started.
20	TAG	I	Tag input for use in the external clock mode. If EXT is high, digital data input from TAG is output on DATA with a delay that is dependent on the external clock mode.
21	BYTE	I	Selects 8 most significant bits (low) or 8 least significant bits (high) on parallel output pins.
22	R/C	I	Read/convert input. With CS low, a falling edge on R/C puts the internal sample-and-hold into the hold state and starts a conversion. When EXT/INT is low, this also initiates the transmission of the data results from the previous conversion.
23	CS	I	Internally ORed with R/C. If R/C is low, a falling edge on CS initiates a new conversion. If EXT/INT is low, this same falling edge will start the transmission of serial data results from the previous conversion.
24	BUSY	O	At the start of a conversion, BUSY goes low and stays low until the conversion is completed and the digital outputs have been updated.
25	PWRD	I	Power down input. If high, conversions are inhibited and power consumption is significantly reduced. Results from the previous conversion are maintained in the output shift register.
26	REFD	I	REFD High shuts down the internal reference. External reference will be required for conversions.
27	V _{ANA}		Analog Supply. Nominally +5 V. Decouple with 0.1-μF ceramic and 10-μF tantalum capacitors.
28	V _{DIG}		Digital Supply. Nominally +5 V. Connect directly to pin 27. Must be ≤ V _{ANA} .

Table 1. Input Range Connections (see Figure 42 and Figure 43)

ANALOG INPUT RANGE	CONNECT R1 _{IN} VIA 200 Ω TO	CONNECT R2 _{IN} VIA 100 Ω TO	IMPEDANCE
±10 V	V _{IN}	CAP	45.7 kΩ
0 V to 5 V	AGND	V _{IN}	20.0 kΩ
0 V to 4 V	V _{IN}	V _{IN}	21.4 kΩ

TYPICAL CHARACTERISTICS

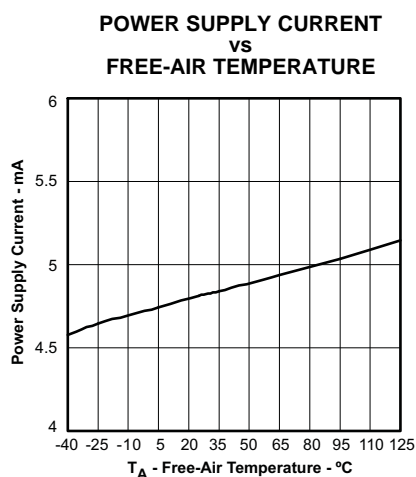


Figure 1.

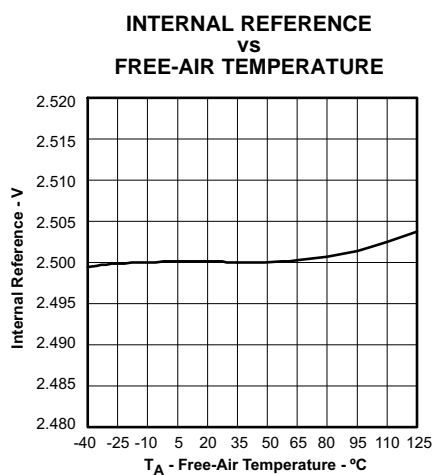


Figure 2.

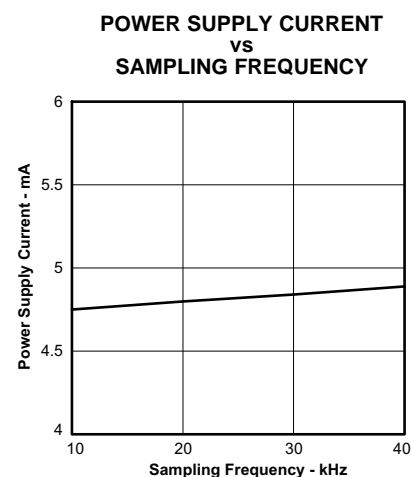


Figure 3.

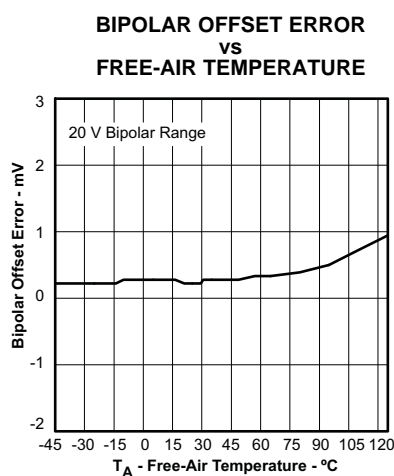


Figure 4.

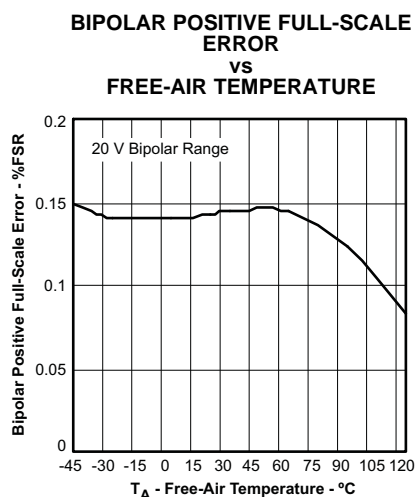


Figure 5.

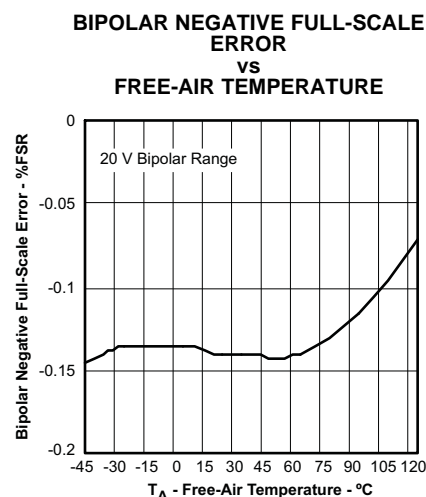


Figure 6.

TYPICAL CHARACTERISTICS (continued)

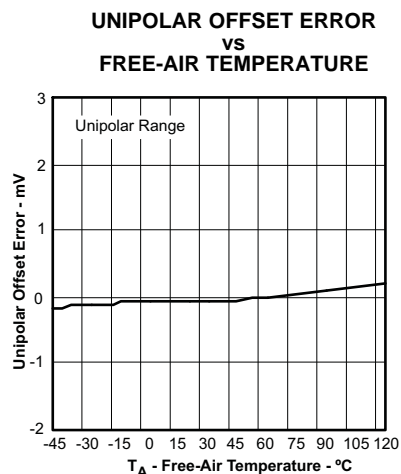


Figure 7.

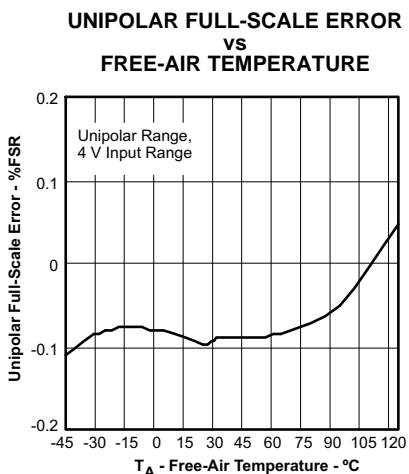


Figure 8.

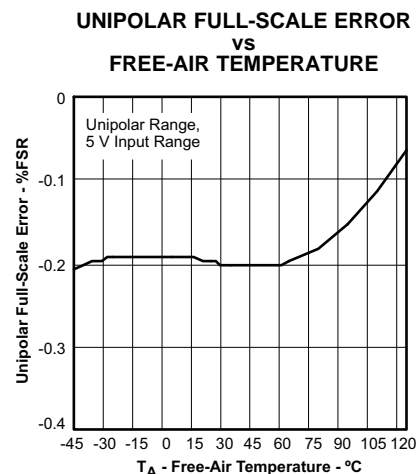


Figure 9.

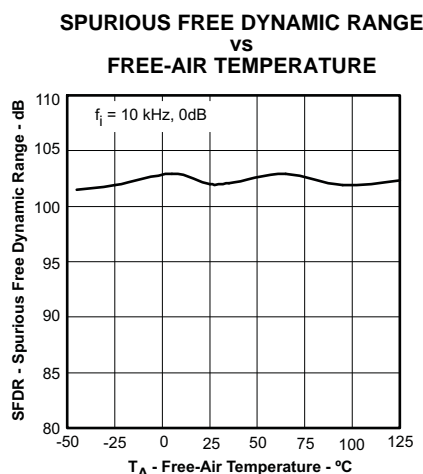


Figure 10.

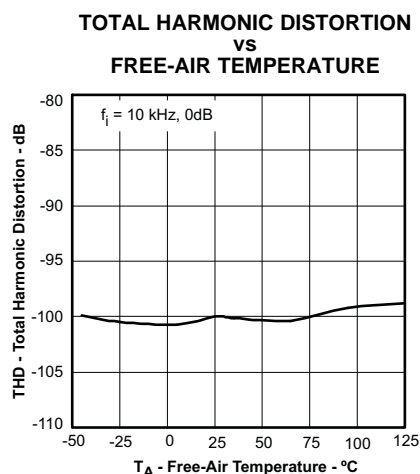


Figure 11.

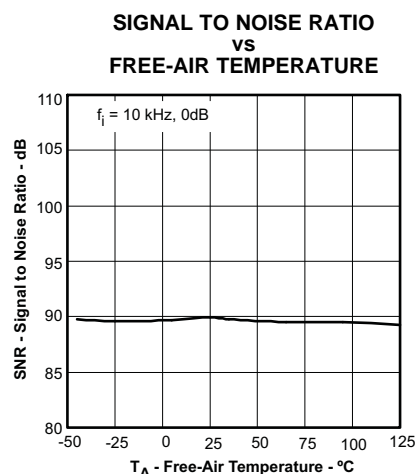


Figure 12.

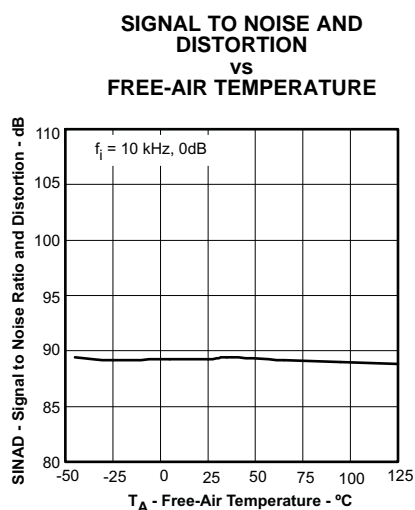


Figure 13.

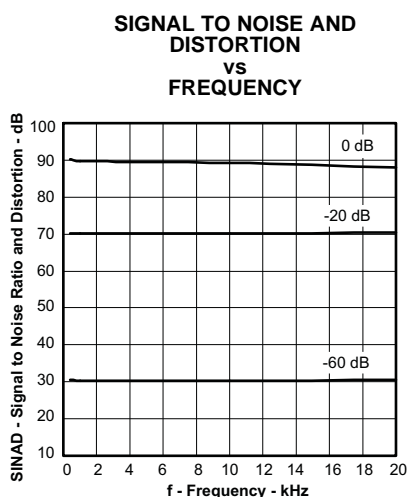


Figure 14.

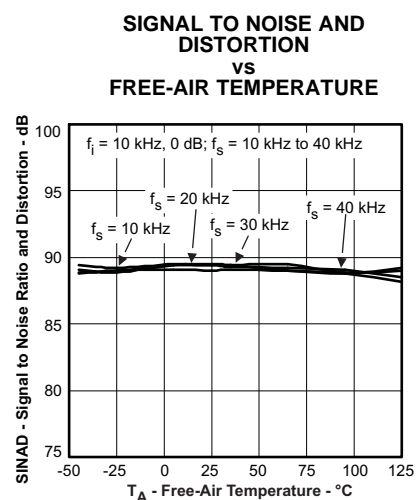


Figure 15.

TYPICAL CHARACTERISTICS (continued)

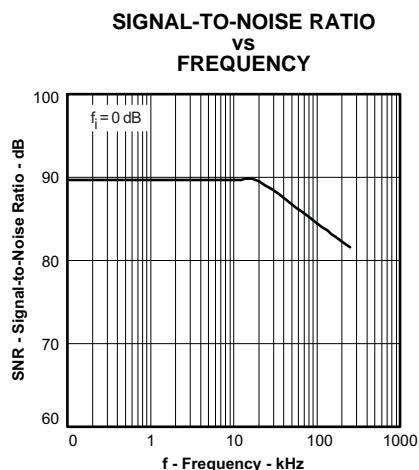


Figure 16.

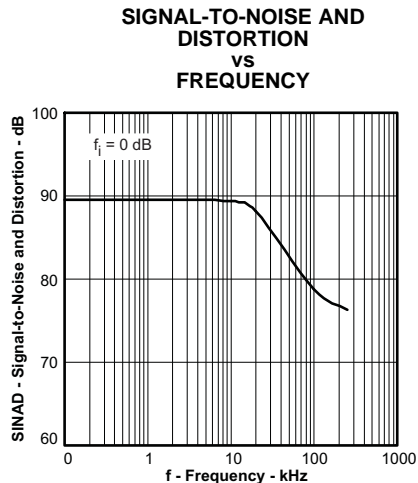


Figure 17.

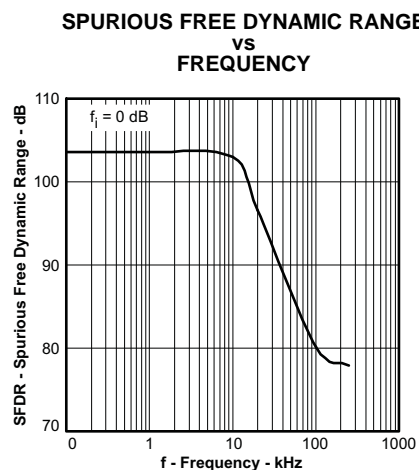


Figure 18.

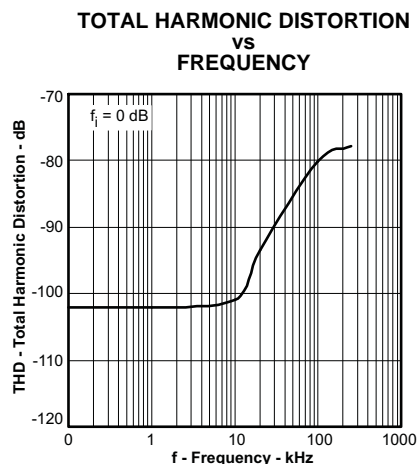


Figure 19.

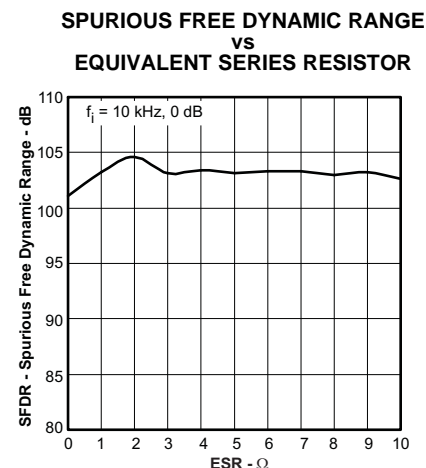


Figure 20.

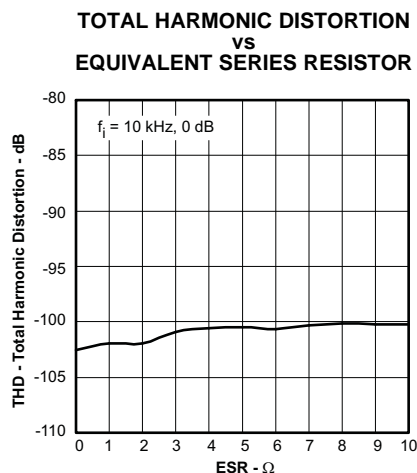


Figure 21.

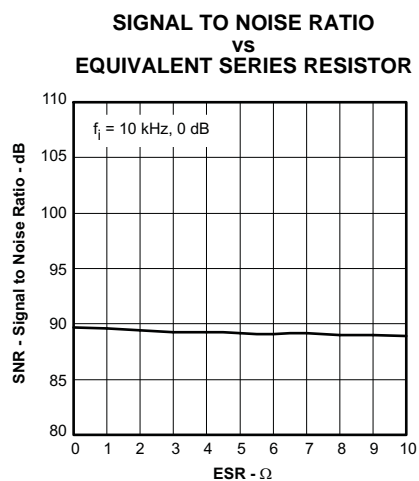


Figure 22.

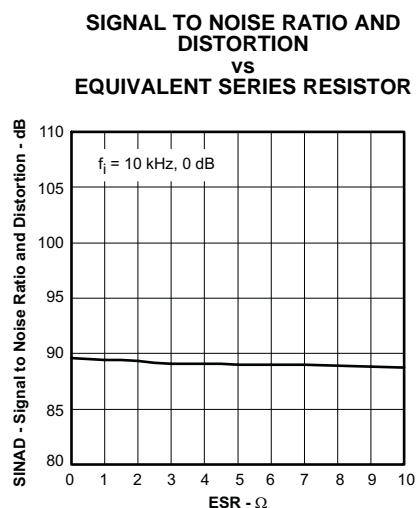


Figure 23.

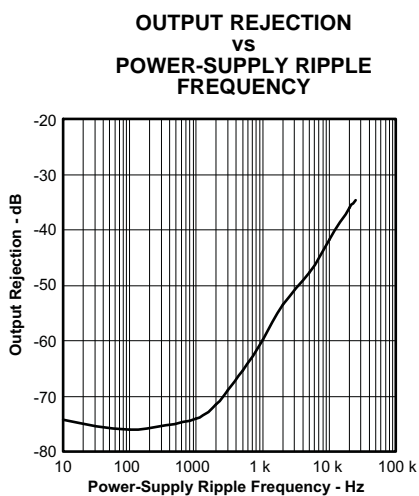


Figure 24.

TYPICAL CHARACTERISTICS (continued)

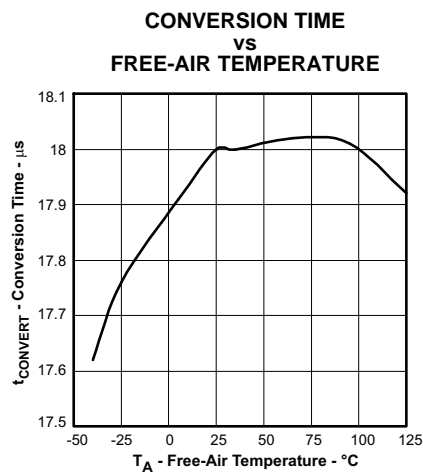


Figure 25.

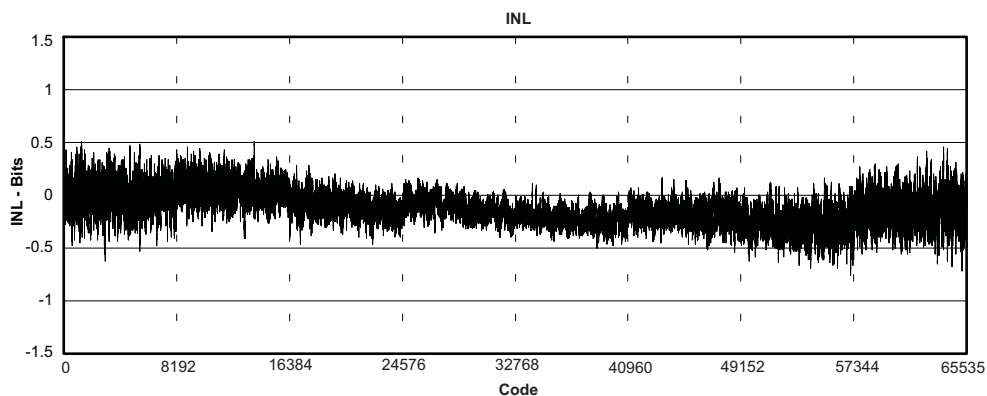


Figure 26.

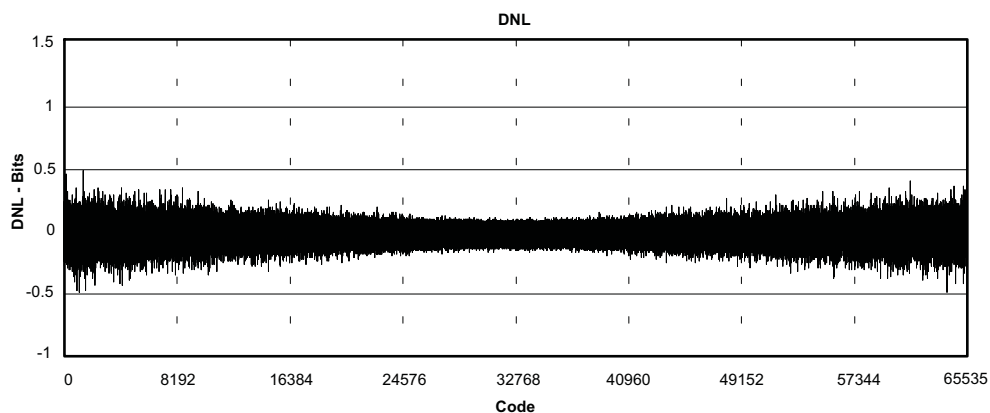


Figure 27.

TYPICAL CHARACTERISTICS (continued)

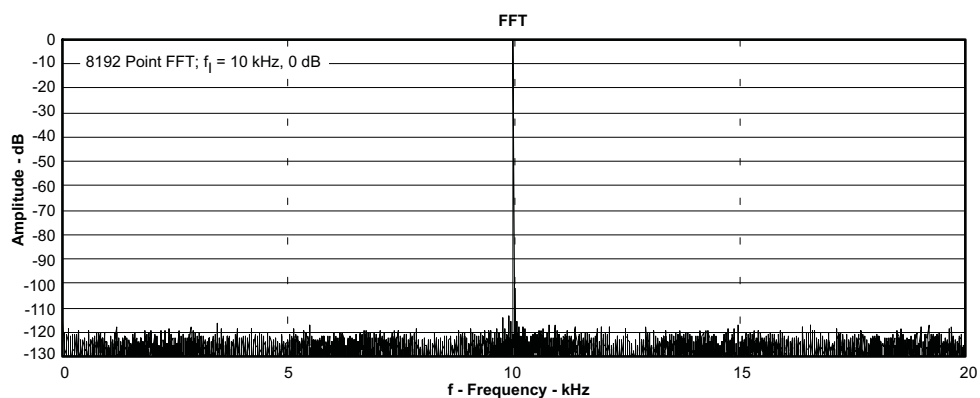


Figure 28.

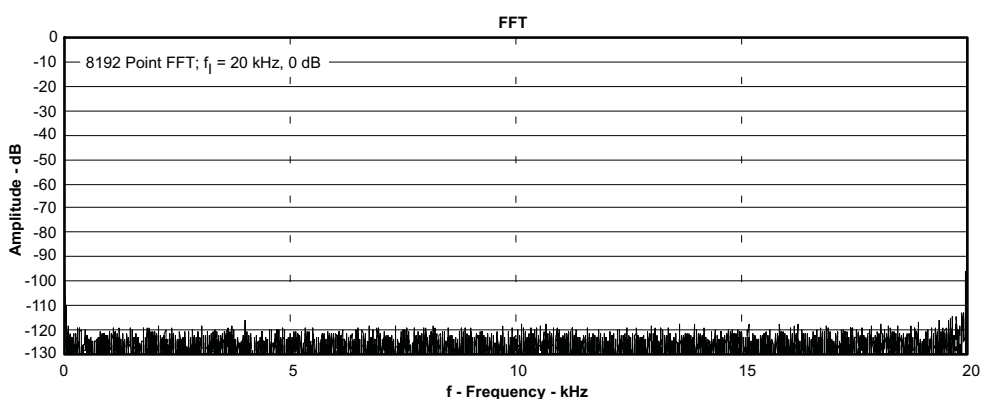


Figure 29.

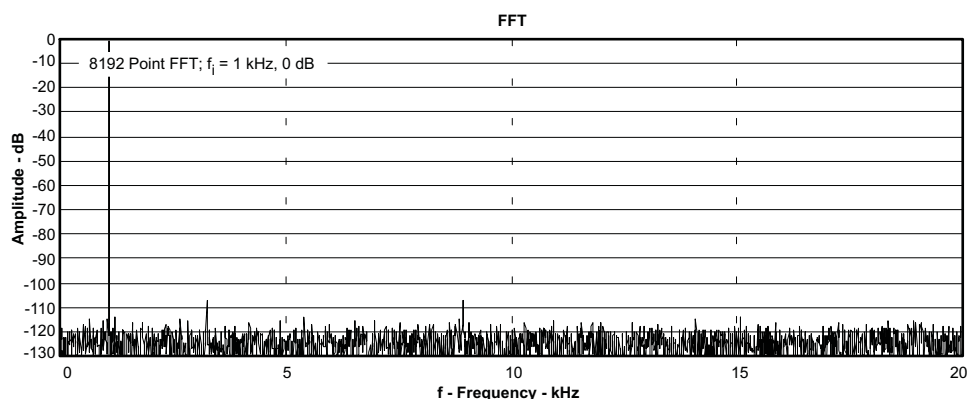


Figure 30.

BASIC OPERATION

PARALLEL OUTPUT

Figure 31 shows a basic circuit to operate the ADS8507 with a ± 10 V input range and parallel output. Taking R/C (pin 22) LOW for a minimum of 40 ns (12 μ s max) will initiate a conversion. BUSY (pin 24) will go LOW and